

(19) World Intellectual Property
Organization
International Bureau



(43) International Publication Date
15 January 2004 (15.01.2004)

PCT

(10) International Publication Number
WO 2004/006340 A1

(51) International Patent Classification⁷: H01L 29/788

(21) International Application Number:
PCT/US2003/021677

(22) International Filing Date: 9 July 2003 (09.07.2003)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
10/192,773 9 July 2002 (09.07.2002) US

(71) Applicant: IMPINJ, INC. [US/US]; Impinj, Inc., 501 N. 34th Street, Suite 100, Seattle, WA 98103 (US).

(72) Inventors: DIORIO, Christopher J.; Impinj, Inc., 17001 NW 15th Street, Shoreline, WA 98177 (US); HUMES, Todd E.; Impinj, Inc., 817 NW 200th Street, Shoreline, WA 98177 (US).

(74) Agents: RITCHIE, David, B. et al.; Thelen Reid & Priest LLP, P.O. BOX 640640, San Jose, CA 95164-0640 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW.

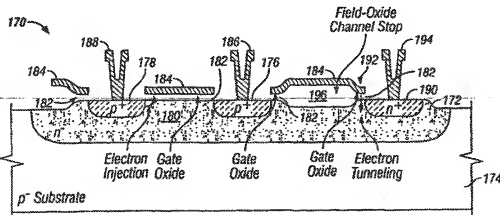
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:

- with international search report
- before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: FLOATING-GATE SEMICONDUCTOR STRUCTURES



(57) Abstract: Hot-electron injection driven by hole impact ionization in the channel-to-drain junction of a p-channel MOSFET provides a new mechanism for writing a floating-gate memory. Various pFET floating-gate structures use a combination of this mechanism and electron tunneling to implement nonvolatile analog memory, nonvolatile digital memory, or on-line learning in silicon. The memory is nonvolatile because the devices use electrically isolated floating gates to store electronic charge. The devices enable on-line learning because the electron injection and tunneling mechanisms that write the memory can occur during normal device operation. The memory updates and learning are bidirectional because the injection and tunneling mechanisms add and remove electrons from the floating gate, respectively. Because the memory updates depend on both the stored memory and the pFETs terminal voltages, and because they are bidirectional, the devices can implement on-line learning functions.

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2005-533372

(P2005-533372A)

(43) 公表日 平成17年11月4日 (2005.11.4)

(51) Int. Cl.⁷

H01L 21/8247
G11C 11/54
H01L 27/115
H01L 29/788
H01L 29/792

F I

H01L 29/78 3 7 1
G11C 11/54
H01L 27/10 4 3 4

テーマコード (参考)

5F083
5F101

審査請求 未請求 予備審査請求 未請求 (全 54 頁)

(21) 出願番号 特願2004-520129 (P2004-520129)
(86) (22) 出願日 平成15年7月9日 (2003.7.9)
(85) 翻訳文提出日 平成17年3月8日 (2005.3.8)
(86) 国際出願番号 PCT/US2003/021677
(87) 国際公開番号 W02004/006340
(87) 国際公開日 平成16年1月15日 (2004.1.15)
(31) 優先権主張番号 10/192,773
(32) 優先日 平成14年7月9日 (2002.7.9)
(33) 優先権主張国 米国 (US)

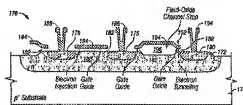
(71) 出願人 505008349
インベンジ インコーポレイテッド
アメリカ合衆国 ワシントン州 98100
3 シアトル ノース ササティフォー
ス ストリート 501 スウィート 1
00
(74) 代理人 100082005
弁理士 熊倉 禎男
(74) 代理人 100067013
弁理士 大塚 文昭
(74) 代理人 100074228
弁理士 今城 俊夫
(74) 代理人 100086771
弁理士 西島 孝喜

最終頁に続く

(54) 【発明の名称】 フローティング・ゲート半導体構造

(57) 【要約】

p-チャンネルMOSFETのチャンネルからドレインへの接合内のホール衝撃イオン化によって駆動される熱電子注入は、フローティングゲート・メモリを書き込むための新たなメカニズムを提供する。種々のpFETフローティングゲート構造は、このメカニズムと電子トンネリングの組合せを用いて、不揮発性のアナログ・メモリ、不揮発性のデジタル・メモリ、或いは、シリコンにおけるオンライン・ラーニングを実現する。素子が、電気的に隔離されたフローティング・ゲートを用いて、電気電荷を記憶するために、このメモリは不揮発性である。メモリに書き込む電子注入およびトンネリング・メカニズムが、通常の素子作動中に発生し得るので、これらの素子は、オンライン・ラーニングを可能とする。注入およびトンネリング・メカニズムが、フローティングゲートからそれぞれ、電子を加算し、除去するので、このメモリは更新され、ラーニングは双方向性である。このメモリ更新は、記憶されたメモリと、pFETsの端子電圧の双方に依存し、それらが双方向性なので、この素子は、オンライン・ラーニング機能を実現できる



【特許請求の範囲】

【請求項 1】

p 型ソース領域、
p 型ドレイン領域、
前記ソース領域と前記ドレイン領域の間に配置されたチャンネル、
前記チャンネルに隣接して配置された絶縁体、および、
前記絶縁体に隣接して配置され、前記絶縁体によって前記チャンネルから電気的に絶縁されたフローティング・ゲート、
を備えるフローティング・ゲート半導体素子。

【請求項 2】

前記ドレイン領域および前記ソース領域が、半導体基板の n 型領域内に配置された、請求項 1 に記載の素子。

【請求項 3】

前記 n 型領域が、p 型半導体基板内に配置された n 井戸である、請求項 2 に記載の素子

【請求項 4】

前記 p 型ソース領域および前記 p 型ドレイン領域が、p + ドープされた、請求項 3 に記載の素子。

【請求項 5】

前記 p 型半導体基板が p - ドープされた、請求項 4 に記載の素子。

【請求項 6】

前記 n 井戸が n - ドープされた、請求項 5 に記載の素子。

【請求項 7】

前記フローティング・ゲートがポリシリコンを備える、請求項 6 に記載の素子。

【請求項 8】

前記ドレイン領域に電気的にカップルされた第 1 の電気的接点、および、

前記ソース領域に電気的にカップルされた第 2 の電気的接点、

を更に備える、請求項 1 に記載の素子。

【請求項 9】

基板、

前記基板から第 1 の距離だけ上の平面内に配置された p 型ソース領域、

前記基板から第 2 の距離だけ上の平面内に配置された p 型ドレイン領域であって、当該第 2 の距離が前記第 1 の距離とは異なるものである、p 型ドレイン領域、

前記ソース領域と前記ドレイン領域の間に垂直に配置されたチャンネル、

前記チャンネルを取り囲む絶縁体、および、

前記絶縁体に隣接して配置され、前記絶縁体によって前記チャンネルから電気的に絶縁されたフローティング・ゲートであって、当該フローティング・ゲートが前記基板に平行な平面内に配置された、フローティング・ゲート、
を備えるフローティング・ゲート半導体素子。

【請求項 10】

前記ドレイン領域および前記ソース領域が、蒸着膜 (deposited films) で形成される、請求項 9 に記載の素子。

【請求項 11】

前記チャンネルが、p 型のエピタキシャル成長したシリコンを備える、請求項 10 に記載の素子。

【請求項 12】

前記 p 型ソース領域および前記 p 型ドレイン領域が、p + ドープされた、請求項 11 に記載の素子。

【請求項 13】

前記フローティング・ゲートが、再結晶化された、蒸着された n 型アモルファス・シリ

10

20

30

40

50

コンの層を備える、請求項 12 に記載の素子。

【請求項 14】

前記フローティング・ゲートが、再結晶化された、蒸着された p 型アモルファス・シリコンの層を備える、請求項 12 に記載の素子。

【請求項 15】

前記ドレイン領域に、電氣的にカップルされた第 1 の電氣的接点、および、前記ソース領域に電氣的にカップルされた第 2 の電氣的接点、を更に備える、請求項 9 に記載の素子。

【請求項 16】

基板、

p 型ソース領域、

p 型ドレイン領域、

前記ソース領域と前記ドレイン領域の間に配置されたチャンネル、

前記チャンネルに隣接して配置された第 1 の絶縁体、

前記絶縁体に隣接して配置され、前記絶縁体によって前記チャンネルから電氣的に絶縁されたフローティング・ゲート、および、

n 型トンネリング領域であって、前記フローティング・ゲートが、少なくとも当該トンネリング領域の一部分を越えて延び、第 2 の絶縁体によって、そこから電氣的に絶縁された、n 型トンネリング領域、

を備える、フローティング・ゲート半導体素子。

【請求項 17】

前記ドレイン領域にカップルされた第 1 の電氣的接点、

前記ソース領域にカップルされた第 2 の電氣的接点、

および、

前記トンネリング領域にカップルされた第 3 の電氣的接点、

を更に備える、請求項 16 に記載の素子。

【請求項 18】

前記基板が p ドープされ、前記ソース領域が p+ ドープされ、前記ドレイン領域が p+ ドープされた、請求項 16 に記載の素子。

【請求項 19】

前記基板が p ドープされ、前記ソース領域が p+ ドープされ、前記ドレイン領域が p+ ドープされた、請求項 16 に記載の素子。

【請求項 20】

前記ソース領域および前記ドレイン領域が、前記基板の第 1 の n ドープされた井戸領域内に配置された、請求項 18 に記載の素子。

【請求項 21】

前記トンネリング領域が、前記基板の第 2 の n ドープされた井戸領域内に配置された、請求項 19 に記載の素子。

【請求項 22】

前記第 1 の井戸領域および前記第 2 の井戸領域が、チャンネル・ブロックによって互いに分離された、請求項 20 に記載の素子。

【請求項 23】

前記トンネリング領域が、n+ ドープされた井戸領域内に配置され、次に、この n+ ドープされた井戸領域が、前記基板の n ドープされた井戸領域内に配置される、請求項 19 に記載の素子。

【請求項 24】

前記ドレインおよびソース領域が、前記基板の第 2 の n ドープされた井戸領域内に配置された、請求項 22 に記載の素子。

【請求項 25】

前記ドレイン領域に電氣的にカップルされた第 1 の電氣的接点、

10

20

30

40

50

前記ソース領域に電氣的にカップルされた第2の電氣的接点、および、
前記トンネリング領域に電氣的にカップルされた第3の電氣的接点、
を更に備える、請求項22に記載の素子。

【請求項26】

前記チャンネル・ブロックが、蒸着されたシリコン酸化物を備える、請求項24に記載の素子。

【請求項27】

前記チャンネル・ブロックが、熱的に成長したシリコン酸化物を備える、請求項25に記載の素子。

【請求項28】

10

半導体基板、

前記基板に配置された第1のn-井戸、

前記基板に配置された第2のn-井戸、

前記第1のn-井戸に配置された第1のp+領域、

前記第1のn-井戸に配置された第2のp+領域、

前記第1のp+領域と前記第2のp+領域の間に配置されたチャンネル領域、

前記チャンネルの上(above)に配置された絶縁体、

前記絶縁体の上(above)に配置されたフローティング・ゲート、

前記フローティング・ゲートの上(over)に配置された絶縁体、

前記第1のp+領域にカップルされた第1の接点、

20

前記第2のp+領域にカップルされた第2の接点、

前記第2のn-井戸に配置されたn+領域、

前記n+領域にカップルされた第3の接点、および、

前記第2のn-井戸の少なくとも一部の上(over)に配置された、前記フローティング・ゲートの一部分、

を備えるフローティング・ゲート素子。

【請求項29】

電流を供給するための手段、

電流を排出するための手段、

前記供給手段と前期排出手段の間で電流をチャネリングするための手段、

30

制御可能に、前記チャネリング手段から、電荷を格納するための手段に、熱電子を注入するための第1の手段、および、

制御可能に、前記電荷を格納するための手段から、電子を転送するための、第2の手段、

を備える、フローティング・ゲート素子。

【請求項30】

前記第2の手段が、トンネリング接合を含む、請求項29に記載のフローティング・ゲート素子。

【請求項31】

前記第2の手段が、光子消去(photonic erasure)を含む、請求項29に記載のフローティング・ゲート素子。

40

【請求項32】

前記トンネリング接合が、ショートされた(shorted) n F E Tで実現される、請求項30に記載のフローティング・ゲート素子。

【請求項33】

前記トンネリング接合が、ショートされた(shorted) n F E Tで実現される、請求項30に記載のフローティング・ゲート素子。

【請求項34】

前記トンネリング接合が、n-位井戸に配置されたn+領域で(with)実現される、請求項30に記載のフローティング・ゲート素子。

50

【請求項 35】

制御キャパシタを更に備える請求項 29 に記載のフローティング・ゲート素子。

【請求項 36】

前記第 2 の制御キャパシタが、互いにショートされた (shorted together) ドレイン、ソース、および、井戸接続 (well connections) を持つ p F E T を備える、

請求項 35 に記載のフローティング・ゲート素子。

【請求項 37】

基板、

前記基板に配置された n-井戸、

前記 n-井戸に配置された第 1 の p+領域、

前記 n-井戸に配置された第 2 の p+領域、

多結晶シリコンで形成されたフローティング・ゲートであって、当該素子が多結晶シリコンの単一の層のみを含む、フローティング・ゲート、

前記第 1 の p+領域にカップルされた第 1 の電気的接点、および、

前記第 2 の p+領域にカップルされた第 2 の電気的節点、

を備えるフローティング・ゲート素子。

【請求項 38】

トンネリング接合 (junction) を更に備える、請求項 37 に記載のフローティング・ゲート素子。

【請求項 39】

前記トンネリング接合が、n-井戸に配置された n+領域で実現される、請求項 38 に記載のフローティング・ゲート素子。

【請求項 40】

n+領域が、第 1 のおよび第 2 の p+領域と同じ n-井戸内に配置される、請求項 39 に記載のフローティング・ゲート素子。

【請求項 41】

n+領域が、n-井戸の中に第 1 のおよび第 2 の p+領域が配置される当該 n-井戸とは異なる (distinct from) n-井戸に配置される、請求項 39 に記載のフローティング・ゲート素子。

【請求項 42】

前記トンネリング接合が、ショートされた (shorted) n F E T で実現される、請求項 38 に記載のフローティング・ゲート素子。

【請求項 43】

前記トンネリング接合が、ショートされた p F E T で実現される、請求項 38 に記載のフローティング・ゲート素子。

【請求項 44】

前記フローティング・ゲートが、M O S C A P にカップルされる、請求項 38 に記載のフローティング・ゲート素子。

【請求項 45】

前記トンネリング接合が、ボウル形状 (bowl shaped) である、請求項 41 に記載のフローティング・ゲート素子。

【請求項 46】

前記トンネリング接合が、ボウル形状 (bowl shaped) である、請求項 40 に記載のフローティング・ゲート素子。

【請求項 47】

基板、

前記基板に配置された n-井戸、

前記 n-井戸内に配置された第 1 の p+領域、

前記 n-井戸内に配置された第 2 の p+領域、

多結晶シリコンで形成されたフローティング・ゲートであって、当該素子が、多結晶シ

10

20

30

40

50

リコンの2つの層を備える、フローティング・ゲート、

前記第1のp+領域にカップルされた第1の電気的接点、および、

前記第2のp+領域にカップルされた第2の電気的接点、

を備えるフローティング・ゲート素子。

【請求項48】

トンネリング接合を更に備える、請求項47に記載のフローティング・ゲート素子。

【請求項49】

前記トンネリング接合が、n-井戸内に配置されたn+領域で実現される、請求項48に記載のフローティング・ゲート素子。

【請求項50】

前記n+領域が、前記第1のおよび第2のp+領域と同じn-井戸内に配置される、請求項49に記載のフローティング・ゲート素子。

【請求項51】

前記n+領域が、n-井戸の中に第1のおよび第2のp+領域が配置される当該n-井戸とは異なる(distinct from)n-井戸内に配置される、請求項49に記載のフローティング・ゲート素子。

【請求項52】

前記トンネリング接合が、ショートされたnFETで実現される、請求項48に記載のフローティング・ゲート素子。

【請求項53】

前記トンネリング接合が、ショートされたpFETで実現される、請求項48に記載のフローティング・ゲート素子。

【請求項54】

前記フローティング・ゲートが、MOSCAPにカップルされる、請求項48に記載のフローティング・ゲート素子。

【請求項55】

前記トンネリング接合が、ボウル形状(bowl shaped)である、請求項51に記載のフローティング・ゲート素子。

【請求項56】

前記トンネリング接合が、ボウル形状(bowl shaped)である、請求項50に記載のフローティング・ゲート素子。

【請求項57】

電子を、フローティング・ゲートの上に注入するための第1の手段であって、当該第1の手段が、pFETを含む第1の手段、および、

前記フローティング・ゲートから電子をトンネリングするための第2の手段、

を備える、フローティング・ゲート素子。

【請求項58】

前記第2の手段が、n-井戸内に配置されたn+領域を含む、請求項57に記載のフローティング・ゲート素子。

【請求項59】

前記n+領域およびpFETが、第1のn-井戸内に配置される、請求項58に記載のフローティング・ゲート素子。

【請求項60】

n+領域およびpFETがそれぞれ、第1のn-井戸内と第2のn-井戸内に配置される、請求項58に記載のフローティング・ゲート素子。

【請求項61】

前記第2の手段が、ショートされたnFETを含む、請求項57に記載のフローティング・ゲート素子。

【請求項62】

前記第2の手段が、ショートされたpFETを含む、請求項57に記載のフローティン

10

20

30

40

50

ゲ・ゲート素子。

【請求項 63】

前記フローティング・ゲートにキャパシタンスを提供するための第3の手段を更に備える、請求項57に記載のフローティング・ゲート素子。

【請求項 64】

前記第3の手段が、ショートされたpFETを含む、請求項63に記載のフローティング・ゲート素子。

【請求項 65】

n-型領域、

前記n-型領域内に配置された第1のp+領域、

10

前記n-型領域内に配置された第2のp+領域、

前記第1のp+領域と前記第2のp+領域の間に配置されたチャンネル領域、

前記チャンネル領域に隣接して配置された絶縁体、

前記絶縁体が、前記フローティング・ゲートを、前記チャンネル領域から分離するように配置されたフローティング・ゲート、

前記第1のp+領域にカップルされた第1の電気的接点、および、

前記第2のp+領域にカップルされた第2の電気的接点、

を備えるフローティング・ゲート素子。

【請求項 66】

前記フローティング・ゲートが、金属を含む、請求項65に記載のフローティング・ゲート素子。

20

【請求項 67】

前記フローティング・ゲートが、多結晶シリコンを含む、請求項65に記載のフローティング・ゲート素子。

【請求項 68】

前記フローティング・ゲートから絶縁された電導性の層を更に備える、請求項67に記載のフローティング・ゲート素子。

【請求項 69】

前記電導性の層が金属を含む、請求項68に記載のフローティング・ゲート素子。

【請求項 70】

30

前記電導性の層が、多結晶シリコンを含む、請求項68に記載のフローティング・ゲート素子。

【請求項 71】

トンネリング接合を更に備える、請求項65に記載のフローティング・ゲート素子。

【請求項 72】

前記トンネリング接合が、n-領域内に配置されたn+領域で実現される、請求項71に記載のフローティング・ゲート素子。

【請求項 73】

n+領域が、第1のおよび第2のp+領域と同じn-型の領域内に配置される、請求項72に記載のフローティング・ゲート素子。

40

【請求項 74】

前記n+領域が、n-型領域内に第1のおよび第2のp+領域が配置される当該n-型の領域とは異なる (distinct from) n-型領域内に配置される、請求項72に記載のフローティング・ゲート素子。

【請求項 75】

前記トンネリング接合が、ショートされたnFETで実現される、請求項71に記載のフローティング・ゲート素子。

【請求項 76】

前記トンネリング接合が、ショートされたpFETで実現される、請求項71に記載のフローティング・ゲート素子。

50

【請求項 7 7】

前記フローティング・ゲートが、MOSC A Pにカップルされる、請求項 7 1に記載のフローティング・ゲート素子。

【請求項 7 8】

前記トンネリング接合が、ボウル形状 (bowl shaped) である、請求項 7 4に記載のフローティング・ゲート素子。

【請求項 7 9】

前記トンネリング接合が、ボウル形状 (bowl shaped) である、請求項 7 3に記載のフローティング・ゲート素子。

【請求項 8 0】

前記フローティング・ゲートが金属を含む、請求項 7 6に記載のフローティング・ゲート素子。

【請求項 8 1】

前記フローティング・ゲートが、多結晶シリコンを含む、請求項 7 6に記載のフローティング・ゲート素子。

【請求項 8 2】

前記フローティング・ゲートから絶縁された、電導性の層を更に備える、請求項 8 1に記載のフローティング・ゲート素子。

【請求項 8 3】

前記電導性の層が金属を含む、請求項 8 2に記載のフローティング・ゲート素子。

【請求項 8 4】

前記電導性の層が多結晶シリコンを含む、請求項 8 2に記載のフローティング・ゲート素子。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、フローティング・ゲート半導体構造の分野に向けられる。

【背景技術】

【0 0 0 2】

＜関連出願への相互参照＞

この出願は、同時に出願中の、米国特許出願番号 09/699,059 (Christopher J. Diorio および Carver A. Mead の名前 で 2000 年 10 月 27 日出願し、現在米国特許第 6,452,835 号 (2002 年 9 月 17 日に発行)) の一部継続出願であり、この双方が共有されている。その出願は、更に、共に出願中の米国特許出願番号 09/201,327 (1998 年 11 月 30 日出願 (現在米国特許第 6,144,581 号 (2000 年 11 月 7 日発行))) の継続出願である。米国特許出願番号 09/201,327 は、米国特許出願番号 08/882,717 (1997 年 6 月 25 日出願) (現在米国特許第 5,898,613 号 (1999 年 4 月 27 日発行)) の分割である。この米国特許出願番号 08/882,717 は更に、(1) 米国特許出願番号 08/690,198 (1996 年 7 月 26 日出願) (現在米国特許第 5,825,063 号 (1998 年 10 月 20 日発行)) ; (2) 米国特許出願番号 08/721,261 (1996 年 9 月 26 日出願) (現在米国特許第 5,875,126 号 (1999 年 2 月 23 日発行)) ; および (3) 米国特許出願番号 08/845,018 (1997 年 4 月 22 日出願) (現在米国特許第 5,990,512 号 (1999 年 11 月 23 日発行)) ; の一部継続出願である。米国特許第 5,905,12 号は、その後代 (progeny) と同様に、米国仮特許出願番号 60/016,464 (1996 年 4 月 29 日出願) の利益を請求し、(1) 米国特許出願番号 08/399,966 (1995 年 3 月 7 日出願) (現在米国特許第 5,627,392 号) ; (2) 米国特許出願番号 08/721,261 (1996 年 9 月 26 日出願) (現在米国特許第 5,875,126 号) ; (3) 米国特許出願番号 08/690,198 (1996 年 7 月 26 日出願) (現在米国特許第 5,825,063 号) ; および (4) 米国特許仮出願番号 60/022,360 (1996 年 7 月 24 日出願) ; の一部継続出願である。米国特許第 5,875,126 号およびその後代は、米国特許仮出願番号 60/004,566 (1995 年 9 月 29 日出願) の利益を請求する。米国特許出願番号 09/189,595 (1998 年 11 月 10 日出願) からの米国特許第 5,986,927 号 (1999 年 11 月 16 日発行) は、米国特許出願番号 08/721,26

10

20

30

40

50

1の分割である。米国特許第5,898,613号およびその後代は、米国特許仮出願番号60/022,360(1996年7月24日出願)の利益を請求し、米国特許出願番号08/845,018および08/721,261の一部継続である。米国特許第5,825,063号(およびその後代)は、米国特許仮出願番号60/006,795(1995年11月15日出願)の利益を請求し、米国特許出願番号08/399,966(1995年3月7日出願)(現在米国特許第5,627,392号(1997年3月6日発行))の一部継続である。米国特許第5,914,894号は、米国特許出願番号08/088,655(1998年6月1日出願)に基づいて1999年6月22日に発行され、米国特許出願番号08/690,198の分割である。米国特許出願番号09/201,677(1998年11月30日出願)に基づいて2000年9月26日に発行された米国特許第6,125,053号は、米国特許出願番号08/882,717の分割である。

【0003】

＜本発明における政府の権利の言明＞

本発明は、海軍の部門の海軍研究オフィスによって与えられた許可番号N00014-89-J-1675の下で、および、国防省の先進的研究プロジェクト・エージェンシーによって与えられた許可番号N00014-89-J-3083の下で、米国政府からのサポートによって為された。米国政府は、本発明について一定の権利を持ち得る。

【0004】

＜本発明の背景＞

深いサブ・ミクロン・フィーチャーへのシリコン集積回路プロセッシングのスケールアップは、SOC(チップ上のシステム: systems-on-a-chip)設計に対する大きな挑戦を与える。ポジティブなサイドにおいては、スケールアップは、デジタルCMOS(相補型金属酸化物半導体)の密度とスピードを増大させる。ネガティブなサイドにおいては、スケールアップは、低トランジスタ破壊電圧、乏しいトランジスタ・マッチング、および、制限されたダイナミック・レンジの点でアナログCMOSに重荷を負わせる。SOCアプリケーションは一般的に、デジタル回路のための深いサブミクロンCMOSを必要とするが、アナログ入力及び/又は出力を持つ。混合された信号のSOCアプリケーションを可能とするために、エンジニアは、デジタルロジックを横に置いた精密なアナログ回路を、標準デジタルCMOSプロセスで設計するための単純な方法を必要とする。大きな成功を約束する一つのアプローチは、回路動作を改善するように局所的に適用させる、自己チューニング・トランジスタを使用することである。もし、エンジニアが、彼らのシリコン・チップに、局所的な平方応答を取りこむための単純な手段を持つならば、彼等は、SOC動作およびアプリケーションを大きく進歩させることができるであろう。不幸なことに、シリコンにおける大規模な局所ラーニングは今のところ、研究者の手に届いていない。大きな理由は、CMOS回路における、不揮発性のアナログ・オンライン適応を可能とするための、単純な方法の欠如である。

【0005】

2酸化シリコンのような絶縁体内に埋め込まれた、フローティング・ポリシリコン・ゲートの上に格納された電気電荷を用いる、従来技術のフローティング・ゲート・トランジスタは、適切な不揮発性のアナログ・ストレージ(storage)を提供する。そのようなフローティング・ゲートの上の電荷は、長い年月の期間、固定して残ることが知られている。メモリ要素としてのフローティング・ゲート・トランジスタの使用の利点は、既知であるが、それらのシリコン・ラーニング・ネットワークおよびアナログ・メモリ・セルへのアプリケーションは、限定されてきた。その主要な理由は、アナログ・メモリに書き込むための、適切な、双方向性で自己収束するメカニズムの欠如であった。フローティング・ゲート・トランジスタのゲートは、絶縁体内に完全に埋め込まれているので、メモリに書き込む際には、電荷キャリアを、この絶縁体を通じて移動させることとなる。電子を、絶縁体を通じて移動させる多くのメカニズムが知られている。その2つは、トンネリングと熱電子注入である。

【0006】

電子を、シリコン/酸化物インターフェースによって与えられる障壁を横断して輸送することにおける困難性は、図1に示される。障壁10を乗り越えるには、電子が、約3.1

10

20

30

40

50

eVのエネルギーより大きなエネルギーを保持する必要がある。室温において、半導体の電子がこのエネルギーを保持する確率は、非常に小さい。或いは、電子は、この障壁を通じてトンネルし得るが、不揮発性のストレージのために必要とされる酸化物の厚さにおいて、トンネリングの確率はやはり、非常に小さい。

【0007】

Fowler-Nordheim (FN)トンネリングは、図2に示されるように酸化物12に亘って電圧を印加することを伴う。これは、電子が、それを通じてトンネリングする確率を高める。トンネリング電流・対・400ÅのSiO₂ゲート酸化物（2ミクロンのMOS（メタル・オキシサイド半導体）プロセスについて一般的）に対する酸化物電圧、が図3に示される。シリコン・ラーニング・セルにおいて必要なラーニングおよびアンラーニング機能、および、アナログメモリ・セルにおける書き込みおよび消去、を実現するために、酸化物（oxide）を通じて双方向性の電流が必要とされる。トンネリング・プロセスは、好ましい方向（preferred direction）を持たないが、双方向性のトンネリングは、2重極性（dual polarity）の高電圧か、単一極性の高電圧および電子を追加するときにフローティング・ゲートをこの電圧に引き込み（pull）、電子を除去するときに電圧を接地近傍に引き込むための手段、かのいずれかが必要とする。双方のアプローチとも、余り魅力的ではない。2重極性のソリューションは、基板ポテンシャルより非常に小さい負電圧を必要とする。そして、単一極性のソリューションは、同時メモリ読み出しおよび書き込み、或いは、自己収束メモリ書き込み（self convergent memory writes）をサポートしない。

【0008】

デジタルEEPROMs（電氣的に消去可能なプログラマブルなリード・オンリー・メモリ）を書き込む場合に、単一極性双方向トンネリングは、しばしば使用される。メモリに書き込むことは、フローティング・ゲートを、供給電圧か接地かのいずれかに引き込むこと（pulling）を伴うので、書き込みプロセス中には、EEPROMセルからは読出しできない。この、メモリ状態フィードバックの欠如状態を補償するために、過剰な電荷が一般的に、フローティング・ゲートに加えられる。一旦、素子を完全に、その2つのバイナリ状態の一つにスイッチするために必要な（電荷の）総量を越えた場合には、電荷の正確な量が無関係な場合である、バイナリ値の「デジタル」メモリに書き込むときには、過剰な電荷は受け入れ可能であるが、アナログ・メモリ・セルに与えられた電荷の総量についての不確実性は、大きなメモリ・エラーという結果をもたらし得る。メモリ書き込みプロセスは、自己収束ではないので、アナログEEPROMsは、反復的書き込みを用いる。この必要性は、商業NFEET（nチャンネル電界効果トランジスタ）のEEPROMsによっては、適切には満足されていない。その大きな理由は、従来のEEPROMトランジスタが、同時メモリ読出しおよび書き込みを許容しないためである。殆どのアナログEEPROMの実装（implementation）は、反復的書き込みを必要とする。つまり、まず、メモリが書き込まれ、次に、読み出され、その書き込みと読出し値が比較され、訂正値を書き込むためにエラーが用いられる。エラーが所定の範囲内となるまで、このサイクルが反復される。

【0009】

熱電子注入は、半導体の表面の近傍の電子が、一般的に電界内での加速によって、約3.1eVのエネルギーより大きなエネルギーを捕獲し、シリコン/酸化物障壁を越えるプロセスである。一旦、2酸化シリコン伝導帯内に入ると、酸化物に亘って印加された電界は、これらの電子を、フローティング・ゲートに運ぶ。熱電子注入を実現するための多くの方法が存在する。

高電界の一つのソースは、垂直か横方向のバイポーラ接合トランジスタ（BJT）かのいずれかの、コレクタからベースへの空乏層領域である。類似のアプリケーションで使用される横方向（lateral）BJTの例が、Anderson他に対する特許文獻1に示される。この素子は、アナログ・ラーニング・アプリケーションに対しては適切であるが、各ラーニング・セルは、注入BJT（熱電子注入を有効とするため）とMOSFET（メタル・オキシサイド半導体電界効果トランジスタ）（格納された電荷を読み出すため）の双方を必要

10

20

30

40

50

とする。セル当りのトランジスタの数の削減が、非常に望まれる。

【0010】

高電界のための他のソースは、スプリット・ゲートの n -型MOSFETのチャンネル領域内にある。カミヤ他に対する特許文献2に記載されるようなスプリット・ゲート注入器は、非常に異なった(複数の)電圧における、2つの、部分的に重なるゲート領域を含む。その結果としての表面ポテンシャルは、2つのゲート間のインターフェースにおいて、急に落ち、トランジスタ・チャンネルの、この小さい領域における局所的な高電界を生成する。不幸なことに、制御ゲートは、注入率を調製(modulate)するが、注入された電荷を受け取らないので、メモリは、同時に、書き込まれた状態、読出した状態、との双方ではあり得ない。そのような素子は、デジタルEEPROMsについて受容可能であるが、アナログ・ラーニング・セル、または、アナログ・メモリ・アプリケーションに対しては不適切である。

【0011】

高電界のための第3のソースは、上述のスレッシュホールド・サブ・ミクロンの n -型MOSFETのチャンネル領域に亙った、ドレインからソースへの電圧降下である。この素子の不利な点は、注入を実現するために、ドレインとゲート電圧の双方が、約2.5Vを越えねばならないこと(これによって、高チャンネル電流およびそれによる高電力消費をもたらす)である。

高電界のための第4のソースは、 n -型MOSFET内に形成された、ドレインからチャンネルへの空乏領域である。図4-5に説明されるような、従来のMOSFETにおいて、この電界は、ドレインからソースへの電圧が、2.5Vを越え、トランジスタが、そのサブ・スレッシュホールド状態(regime)において、或いはその近傍で作動するときのみに存在する。サブスレッシュホールドのMOSFETゲート電圧は一般的に、1Vより小さいので、ゲート酸化物内に注入された電子は、電子の、フローティング・ゲートへの輸送に向向する、トランジスタ・ドレインに向けられる大きな電界に遭遇する。図4のトランジスタのエネルギー・バンド図(図5)に見られるように、結果としてのフローティング・ゲートへの電荷輸送は、無視できる程度に小さい。

【0012】

従って、書き込みおよび消去可能で、同時に書き込みおよび読出し可能で、一つの素子内に実現可能な、改善されたシリコンのアナログ・メモリ・セル(デジタル値ストレージのために利用可能)に対する必要性が存在する。

追加的に、標準論理CMOSプロセスのために適切な実装が好ましい。論理CMOSプロセスは、最小の数のプロセス・ステップを伴う、 p -型および n -型FETの製造が可能な、何らかのシリコン・プロセスである。例えば、2重ポリシリコンプロセスのような追加的なステップは、そのようなメモリ素子の製造のコストを増加させる。

【0013】

【特許文献1】米国特許第4,953,928号公報

【特許文献2】米国特許第4,622,656号公報

【発明の開示】

【課題を解決するための手段】

【0014】

p -チャンネルMOSFETのチャンネルからドレインへの接合内のホール衝撃イオン化(HEI)によって駆動される熱電子注入が、フローティング・ゲート・メモリに書き込むための新しいメカニズムを提供する。種々の p -FETのフローティング・ゲート基板構造が、このメカニズムおよび電子トンネリングの組合せを用いて、不揮発性のアナログ・メモリ、不揮発性のデジタル・メモリ、または、シリコンでのオンライン・ラーニング、を実現する。素子が、電荷を格納するために、電気的に隔離されたフローティング・ゲートを用いるので、メモリは不揮発性である。メモリに書き込む電子注入およびトンネリング・メカニズムが、通常の素子作動中に発生し得るので、この素子は、オンライン・ラーニングを可能とする。メモリは更新し、ラーニングは双方向性である。何故なら、注

10

20

30

40

50

入およびトンネルリング・メカニズムがそれぞれ、フローティング・ゲートに電子を加え、そこから除去するからである。格納されたメモリと p F E T s の端子電圧との双方に依存して、メモリが更新するので、そして、それらが双方向性なので、素子は、オンライン・ラーニング機能を実現できる。

【発明を実施するための最良の形態】

【0015】

添付の図面（これらはこの明細書に取りこまれ、明細書の一部を構成する）は、本発明の一つあるいはそれ以上の実施の形態を説明し、発明の詳細な説明とともに、本発明の原理および実装（implementation）を説明する役割を果たす。

【0016】

<詳細な説明>

本発明の実施例が、フローティング・ゲート半導体構造の文脈でここに説明される。当業者は、本発明の以下の詳細な記述が、説明目的のみのものであり、いかなる意味でも限定を意図するものではない、ことを理解するであろう。本発明の他の実施例が、直に、それら自身で、この開示のベネフィットを持つ当業者に示唆するであろう。これから、詳細に、添付の図面に示されるように、本発明の実装（implementations）に対する参照が為される。同じ参照記号番号が、同じ或いは類似のパーツを示すために、図面および以下の詳細な記述を通じて使用される。

【0017】

詳細さを確保するために、ここに記載される実装のルーチン的な特徴の全ては示されず、記述されない。勿論、いかなる、そのような実際の実装の進歩において、開発者の特有のゴール（アプリケーションとのコンプライアンスやビジネス関連の制約のような）を実現するために、膨大な実装特有の判断が為されねばならないこと、および、これらの特有のゴールが、各実装毎に、開発者毎に、変化し得ることが理解されるであろう。更に、そのような開発努力が、複雑で時間が掛かるが、それにも関わらず、当業者のエンジニアリングのルーチンの引き受けが、この開示のベネフィットを持つことが理解できるであろう。

ここに使用されるように、シンボル $n+$ は、一般的に、立方センチ・メートル当り 10^{21} 原子のオーダーの n -型のドーパントのドーピング・レベルを持つ、 n -ドーパされた半導体材料を示す。シンボル $n-$ は、立方センチ・メートル 10^{17} 原子のオーダーの一般的にドーピング・レベルを持つ、 n -ドーパされた半導体材料を示す。シンボル $p+$ は、一般的に、立方センチメートル当り 10^{21} 原子のオーダーの p -型ドーパントのドーピング・レベルを持つ、 p -ドーパされた半導体材料を示す。シンボル $p-$ は、立方センチメートル当り 10^{17} 原子のオーダーの一般的にドーピング・レベルを持つ、 p -ドーパされた半導体材料を示す。当業者は、ここに記載された素子が、従来の半導体基板の上に生成され得ること、或いは、それらが、基板上の薄膜トランジスタ（TFET）と同様に容易に生成され得ることを理解するであろう。或いは、絶縁体の上に（SOI）、或いは、ガラスの上に（SOG）生成され得ることを理解するであろう。そのような当業者は、上述の数値の周りのドーピング濃度の範囲も、利用可能であることもまた理解するであろう。本質的に、p F E T s および n F E T s の形成が可能ないかなるプロセス、も利用可能である。ドーパされた領域は拡散でありうるか、或いは、それらは、注入（implanted）され得る。

【0018】

本発明は、我々がシナプス・トランジスタ（synapse transistors）と呼ぶ、長期間の不揮発性アナログ・メモリに実装されてきた、双方向性メモリ更新を可能とし、進行位中の計算に干渉すること無しに入力信号から学び（learn）、シリコンにおける局所的な長時間の適応（adaptation）を促進する、素子のファミリーに向けられる。他のものからは区別されて、シナプス・トランジスタは、デジタルCMOS内のアナログ回路の自己同調、自動的に学ぶシリコン回路、および、種々の様式のメモリ・ストレージ、を可能とする。

10

20

30

40

50

シナプス・トランジスタが、ニュートラル・シナプスの複雑な振舞いを完全にはモデル化できない一方、それらは、長期間の局所的ラーニングを実現できる。それらの出力は、現在の入力のみならず、以前の入力のヒストリーにも依存する。シナプス・トランジスタは、生物学によって使用されるものに類似するようなやり方で、自己の回路を同調 (tune) するために、ローカルの、自動的、学んで適応するシリコン・チップの製造を可能とする。それらを用いることによって、デジタルCMOSにおいて、正確なアナログ回路と人工的ラーニング・ネットワークの双方を構築することが可能となる。

【0019】

< p F E T シナプス・トランジスタ >

シナプス・トランジスタは、以下の追加属性を持つ従来のトランジスタである。

- (1) 不揮発性のアナログ重み (weight) ストレージ、
- (2) 局所的に計算された双方向性の重み更新、および、
- (3) 同時メモリ読出しおよび書き込み。

フローティング・ゲート MOS F E T s は、ここに、シナプス・トランジスタのための基礎として用いられる。シナプス・トランジスタは、フローティング・ゲート電荷を用いて、不揮発性のアナログ重みを表し、電子トンネリングおよび熱電子注入を用いて、双方向的にフローティング・ゲート電荷を修正し、メモリに書き込むために使用されるメカニズムの性質によって、同時のメモリ読出しおよび書き込みを可能とする。p F E T シナプスの、標準デジタルCMOSプロセッシングとのコンパチビリティという理由から、p F E T シナプスの種々のバリエーションが、ここに、詳細に、記載されている。

p F E T シナプスのための概念的モデルが、図6に示され、p F E T シナプスの実施例のレイアウトとバンド図が、図7に説明される。(後に、この基礎設計を元にした多くの変形が、詳細に説明される)。図7のシナプス・トランジスタは、2つの MOS F E T s を備える。第1の(左側の)ものは、読出しトランジスタであり、ショートされたドレインおよびソースを伴った第2の(右側の)ものは、トンネリング接合を形成する。制御ゲートの観点からは、フローティング・ゲートから電子を除去すること、或いは、そこへ電子を追加することは、読出し p F E T のスレッショールド電圧を、双方向にシフトする。シナプスは、Fowler-Nordheim (F N) トンネリングを用いて、電子を、そのフローティング・ゲートから除去し、衝撃イオン化された熱電子注入 (I H H I) を用いて、電子をフローティング・ゲートに加える。この実施例に従って、各 MOS F E T は、それ自身の p - 基板の n - 井戸内に配置される。キャパシタ・カップルされた制御ゲートを提供する2重ポリ (double poly) のプロセスが用いられる。読出しトランジスタのソースおよびドレインのために、p + ドープされた領域が用いられる。それぞれ、上面図、側面断面図、および、電子バンド図を示すために、図7の部分A、B、およびCは、垂直に配列される。

【0020】

このシナプスの主要な特徴は、(A) 読出しトランジスタが、フルに機能する p チャンネル MOS F E T として維持し続けること；(B) トンネリング接合に印加された高電圧が、電子を、フローティング・ゲートからトンネル・オフ (tunneling off) すること；(C) ；大きなドレインからソース電圧が、ドレインにおける I H H I に、電子をフローティング・ゲートの上に注入させることを引き起こすこと、である。

図7の実施例に従って、信号入力が、第2のレベルのポリシリコン (ポリ2) 制御ゲートに印加される。これは次に、容量的に、第1のレベルのポリシリコン (ポリ1) フローティング・ゲートにカップルする (図7参照)。制御ゲートの観点から、たとえ、削減されたチャンネルへのカップリングであっても、トランジスタは、従来の p - チャンネル MOS F E T を維持する。これは、介入するポリ1キャパシタのためである。

もし、MOS F E T が、そのサブ・スレッショールド領域において作動されるならば、シナプス・トランジスタは、ニューラル・ネットワーク・アプリケーションに対して最適なものとなる。その理由は、サブ・スレッショールド・フローティング・ゲート p F E T が、以下のような通倍 (multiply) オペレーションを実行するためである。

10

20

30

40

50

【0021】

【数1】

$$I_s = I_0 e^{\frac{\kappa V_{sg}}{U_t}} = I_0 e^{\frac{\kappa(Q_{sg} + C_m V_m)}{C_T U_t}} = I_0 e^{\frac{Q_{sg}}{Q_T}} e^{\frac{\kappa V_m}{U_t}} \quad (1)$$

【数2】

$$= W I_0 e^{\frac{\kappa' V_{in}}{U_t}} \quad (2)$$

ここで、 I_s は、ソース電流であり、 I_0 は、事前指数電流（pre-exponential current）であり、 κ は、フローティング・ゲートからチャンネルへのカップリング係数であり、 V_{sg} は、ソースからフローティング・ゲートへの電圧であり、 Q_{sg} は、フローティング・ゲート電荷（ソース基準（referenced））であり、 C_T は、フローティング・ゲートによって観測されるトータルのキャパシタンスであり、 U_t は、熱電圧 kT/q であり、 C_m は、入力（ボリ1からボリ2への）カップリング・キャパシタンスであり、 V_m は、制御ゲート電圧であり、 $Q_T = C_T U_t / \kappa$ 、 $\kappa' = \kappa C_{in} / C_T$ であり、 $W = \exp(Q_{sg} / Q_T)$ である。シナプス重み（weight） W は、学ばれた（learned）量（quantity）である。その値は、フローティング・ゲート電荷（これは、シナプスの使用とともに変化する）から導かれる。シナプス出力は、 W と、制御ゲート入力 V_{in} および制御ゲートからチャンネルへのカップリング係数 κ' を持つ、理想化された（idealized）MOSFETのソース電流の積（product）である。

【0022】

ボリ2無しのCMOSプロセスに対して、入力キャパシタとしてのMOSCAP（MOS可変キャパシタ：例えば、そのソース、ドレイン、および井戸接点が一括にカップルされたフローティング・ゲートpFETとして実現可能）、或いは、フローティング・ゲートに接点（contact）が加えられたときに発生する（小さな）電荷リークに耐えられるアプリケーションに対して、フローティング・ゲートが、メタル絶縁体メタル（MIM）キャパシタに接続され得る。或いは、時として、キャパシタ（即ちゲート入力）が全く必要とされない。この場合には、シナプス・トランジスタは、同調可能な電流ソース、或いは、同調可能なコンダクタンスとなる。

シナプス重み W は、フローティング・ゲートからトンネリング接合（実施例によると、ショットされたpFETおよびその対応するn-井戸）へのトンネリング電子によって削減される。トンネリング接合の上の正の高電圧は、電子トンネリングをもたらす。FNTトンネリング・プロセスは、図7Cのエネルギー・バンド図に示される。トンネリング接合とフローティング・ゲートの間のポテンシャル差は、有効酸化物厚さを削減し、フローティング・ゲートから、SiO₂障壁を通じた、酸化物伝導帯内への電子トンネリングを促進する。酸化物電界は次に、これらの電子をn-井戸に払いのける（sweeps）。

【0023】

図8は、 $2\mu\text{m}$ CMOSプロセスで形成されたシナプスに対する、トンネリング（ゲート）電流 I_g ・対・ $-1/V_{ox}$ を示す。 V_{ox} は、トンネリング接合とフローティング・ゲートの間のポテンシャルである。ゲート電流は、トンネリング接合（ゲート酸化物）面積（area）に正規化される。図8において、 $2\mu\text{m}$ および $0.35\mu\text{m}$ プロセスで形成されたシナプスに対する、トンネリング電流（酸化物電流）・対・酸化物に亘った電圧の逆数、が示される。これらのデータは、以下の様に振舞う。

10

20

30

40

50

【0024】

【数3】

$$I_g = -I_m e^{-\frac{V_f}{V_{ox}}} \quad (3)$$

ここで、 I_g は、ゲート電流であり、 V_{ox} は、酸化物電圧〔（井戸電圧）－（フローティングゲート電圧）〕であり、 V_f は、主に酸化物厚さに依存する定数であり、 I_m は、事前指数電流（pre-exponential current）である。 I_g は負である。何故なら、トンネリングが、重み W を削減するからである。

シナプス重み W は、電子を、フローティング・ゲートの上に注入することによって増加させられる。図7Cのエネルギー・バンド図に示されるように、チャンネル・ホール（トランジスタのチャンネルからドレインへの空乏領域で加速される）は、半導体格子と衝突し得、更なる電子・ホールの組を自由化（liberate）しうる。イオン化された電子（衝突によってそれらの伝導帯に持上げられた）は、同じチャンネルからドレインへの電界によってドレインから放出（expelled）される。3.1eVの運動エネルギーより大きいエネルギーを持つ、放出された電子は、もし上方に、ゲート酸化物内に散乱されるならば、SiとSiO₂伝導帯の間の3.1eVの電子親和力（affinity）の差を乗り越え得、SiO₂内に注入され得、フローティング・ゲートによって収集され得る。注入は、pFETのスレッシュホールド電圧 V_t を削減する。

【0025】

図9において、IHHL効率〔（ゲート電流 I_g ）／（ソース電流 I_s ）として定義される〕が、 $2\mu\text{m}$ および $0.35\mu\text{m}$ プロセスで形成されたシナプス・トランジスタのためにプロットされる。データは、効率としてプロットされる。何故なら、ゲート電流が、全サブ・スレッシュホールド範囲に亘って、ソース電流とともに線形に増大するからである。何故なら、また予想が可能なように、ゲート電流が、熱電子密度（population）から引き出され、この密度が次に線形に、ソース電流とともに増大するからである。

$0.35\mu\text{m}$ シナプスに対して、読出しトランジスタのソースからドレインへの電圧 V_{sd} が3Vより小さいときに、IHHLゲート電流は、非常に（exceedingly）小さく、重み W は、不揮発性に維持される。 V_{ds} が、3.5Vを越えるときに、ゲート電流は、シナプス重み W において、測定可能な変化を引き起こす。図4のデータは、単純な指数関数

【数4】

$$I_g = \beta I_s e^{\frac{V_{cd}}{V_{inj}}} \quad (4)$$

に近似される。ここで、 I_g は、ゲート電流であり、 I_s は、ソース電流であり、 V_{cd} は、チャンネルからドレインへのポテンシャルであり、 β と V_{inj} は、フィット定数（fit constant）である。 I_g は負である。何故なら、IHHLは、重み W を増加させるからである。

【0026】

シナプス・トランジスタにおいては、「同時に」、（1）チャンネル電流を読み取り；（2）トンネリング電圧を上げて、電子が、フローティング・ゲートからトンネル・オフすることを引き起こすことが；および（3）ドレイン電圧を低下させ、それによって、IHHLをもたらすことができる。最終ゲート電流方程式は、式（3）と（4）を加えることによって、サブ・スレッシュホールド・ソース電流 I_s を想定すると、

【数 5】

$$I_g = \beta I_s e^{\frac{V_{gs}}{V_{th}}} - I_{le} e^{-\frac{V_g}{V_{le}}} \quad (5)$$

のように得られる。サブ・スレッシュホールド・ソース電流への制限は、全く、数学的扱いやすさ (tractability) の理由のためのものである。シナプスは、上述のスレッシュホールド・ソース電流において、完全に機能可能であるが、ダイナミクス (dynamics) は、より複雑である。

【0027】

図10は、本発明の一つの実施例による、 2×2 のシナプティックなアレイの電気的概略図である。列シナプスは、共通のトンネリング線を共有する。これは、この実施例において、それらが、共通のトンネリング井戸を共有することを意味する。アナログ・メモリ或いはニューラル・ネットワークのような、多数のシナプス・トランジスタを用いるアプリケーションにおいて、孤立した素子よりはむしろ、そのようなシナプスのアレイが使用され得る。アレイは、密なシナプス・パッキング (packing) と、単純なアドレス指定 (addressing) を提供するが、アレイは、個々のシナプスの間のアイソレーションについて妥協できず、シナプスを容易に書き込み、消去するための手段を提供しなければならない。図10に示されるアレイは、(1) シナプスのアイソレーションを確認し、(2) 個々のシナプスを書き込むための自己収束技術をデモンストレートする、ために作成された。

アレイ・シナプスは、トンネリングとドレイン線 (wires) を共有する。その結果、一つのシナプスのトンネリング或いは注入は、他のシナプスにおいて、不所望のトンネリング或いは注入をもたらし得る。シナプスのアイソレーションを測定するために、他のシステムへのクロストークを測定する間、図10の {1, 1} シナプスが30の範囲 (30 decade range) に亘ってトンネルおよび注入された。クロストークは、ここで、[(選択解除されたシナプスのソース電流における分数変化 (fractional change)) / (選択されたシナプスのソース電流における分数変化)] と定義される。

【0028】

図11Aおよび11Bは、 $2 \mu\text{m CMOS}$ プロセスで形成された図10のアレイにおけるシナプス・アイソレーションを示すデータのプロットである。図11Aに示されるデータを得るために、他の3つのシナプスのソース電流を測定する間、全ての4つのシナプスが、 $I_s = 100 \text{ nA}$ に初期化された。シナプス {1, 1} は次に、 100 pA にトンネル・ダウンされ、次に、 100 nA に注入バック (injected back) された。[{1, 2} シナプスのソース電流における分数変化 (fractional change) / {1, 1} シナプスのソース電流における分数変化}] として定義された {1, 2} シナプスへのクロストークは、トンネリング中、0.004%であり、注入中、0.005%であった。図11Bに示されるデータを得るために、全ての4つのシナプスが、 $I_s = 100 \text{ pA}$ に初期化 (initialized) された。シナプス {1, 1} は次に、 100 nA に注入アップ (injected up) され、次に、 100 pA にトンネル・バック・ダウン (tunneled back down) された。{1, 2} シナプスへのクロストークは、注入中に、0.016%であり、トンネリング中に、0.007%であった。双方の実験において、行2シナプスへのクロストークは、ごくわずかであった。

図11Aおよび11Bのデータは、選択されたおよび選択解除されたシナプスの間のクロストークが、トンネリング中に、0.01%より小さく、IHH I中に、0.02%より小さいことを示す。この、良いアイソレーションの理由は、式(5)および図8および9のデータから理解できる。トンネリングとIHH Iの双方が、きつい指数関数 (step exponential) である。その結果、クロストークに拠る大きな劣化無しに、正確なアナログ値がシナプス・アレイに格納され得る。

単一のトランジスタを必要とするアプリケーションのために、選択されたn-井戸行に高電圧が印加され、低電圧が、選択されたゲート列に印加される。トランジスタの列の一

10

20

30

40

50

瞬の抹消 (flash erasure) を可能とするアプリケーションのために、全体のアレイが、単一の n -井戸内に配置 (placed) される。トランジスタの列を消去 (erase) するために、高電圧が、 n -井戸に印加され、低電圧が、選択されたゲート列に印加される。セル消去中に、もし過剰なトンネリングが発生するならば、ドレイン電流は、小さくなるかもしれない。セルが後に書き込まれるときには、ゲート電流は小さくなり、メモリ書き込みプロセスは、遅くなるであろう。それ故、全ての素子は好ましくは、(1) 最小プログラミング電流を印加すること、(2) ドレイン電流がこのプログラミング電流に等しくなるまでゲート電流を低下させること、および、(3) ゲートが、その定格電圧にランプ・バック・アップ (ramped back up) されるにつれて、このドレイン電流値を保持するために書き込みフィードバック・プロセスを用いること、によってトンネリングの後に、初期化される。

10

【0029】

シナプス・トランジスタは、同時メモリ読出しおよび書き込みを可能とするので、正確なメモリ値を格納するために、ネガティブ・フィードバックが使用され得る。例として、図12Aおよび12Bは、「自己収束」(self-convergent) メモリ書き込みを示す。図12Aおよび12Bは、自己収束メモリ書き込みのプロセスを示す。図12Aは、例示回路の電気的概略図である。図12Bは、書き込み中の、pFETsドレイン電圧 V_d およびドレイン電流 I_d を示す、SPICEシミュレーションの出力のプロットである。第1に、 $I_d < I_{ref}$ (シミュレーションには示さず) となるように、電子は、フローティング・ゲートをトンネル・オフされる。次に、トンネリングは停止され、次に、書き込みが開始する。スイッチ $SW1$ は、 $t = 0$ において閉じられ、これによって、 V_d が落ち、電子が、フローティング・ゲートの上に注入され、 I_d が増える。 I_d が、 I_{ref} に近づくにつれて、 V_d は増加し、注入をターン・オフする。 I_d が、 $140\mu s$ において、その最終値の99%に達する。メモリは、 $V_d = 1.7V$ を印加し、 I_d を測定することによって、回路の詳細に依存する正確さ (しかし、1%より良い) で読み取られる。シミュレーション・パラメータは、 $V_d = 6V$ 、 $C = 5fF$ 、 $I_{ref} = 10\mu A$ であった。

20

メモリ値は、ドレイン電流 I_d として格納される。書き込みプロセスは、以下のように動作する。最初は、 I_d が、プログラミング電流 I_{ref} の大ききより小さいことを想定する。書き込むために、スイッチ $SW1$ を用いて I_{ref} を印加する。 I_{ref} が I_d を越える限り、シナプスのドレイン電圧は、低く抑えられ、電子が、フローティング・ゲートの上に注入されて、 I_d を増加させることとなる。 I_d が、 I_{ref} に近づくにつれて、シナプスのドレイン電圧は上昇し、注入をターン・オフする。 I_{HHI} は、pFETおよび I_{ref} 電流ソースによって形成される変換アンプの回りのネガティブ・フィードバックを閉じる。この固有のフィードバック・メカニズムは、プログラミングとpFETドレイン電流を等しく (equalize) し、シナプス・トランジスタ内に I_{ref} を格納するために、フローティング・ゲート電荷を適応 (adapt) させる。

30

【0030】

図12Aおよび12B (2つのpFETsおよびゲート・キャパシタを備える) のシナプスは、図10のアレイ要素と同じであることを認識して欲しい。それ故、行ドレイン書き込み線にスイッチおよび電流ソースを配置すること、および、書き込みのために列を選択するために列ゲート線を用いることによって、アレイ・シナプスを書き込むために自己収束メカニズムが使用され得る。行ドレイン電圧は、センス・アンプ (sense amplifiers) を用いてモニターされ、その対応ドレインが所定の電圧に上昇するときに書き込みを停止するために各スイッチを開とする。列を読み出すために、適切な列ゲート線を低下させ、列内の全てのトランジスタのドレイン電流を読み出す。

40

シナプス・トランジスタは、他の不揮発性メモリ技術に類似する、技術的問題および信頼性問題を持つ。それらのうち最も重要なものは、トンネリングおよび注入によって誘引される、ゲート酸化物への損傷、および、電荷リークがフローティング・ゲートをオフすること、である。酸化物損傷は、デジタル・フラッシュ・メモリおよびEEPROMsにおける読出し/書き込みサイクルの数を制限する。シナプス・トランジスタは、同じ損傷

50

メカニズムに曝されるが、それらのアナログ値化された重み更新は一般的に、デジタル・メモリ書き込みみに比べて、より遅く、小さい。したがって、それらの酸化物電流は、大きさが3から6のオーダーだけ、フラッシュ・メモリまたは従来のEEPROMsにおけるものより小さい。従って、連続的トンネリングおよび注入を用いるシナプス・ベースの回路についてさえ、酸化物の損傷は問題点ではなかった。酸化物トラッピングは、シナプスの重み更新率 (weight-update rates) を削減し、トンネリングおよび注入電圧の調整を強いる。シナプス・トランジスタ・ベースの調整 (regulation) 回路は、これらの電圧の正確な制御を可能とする。

【0031】

ゲート酸化物の、約70Å厚より薄いものへのスケエリングは、フローティング・ゲートの漏れを引き起こす。この問題は、シナプス・トランジスタに特有ではない。これは、フローティング・ゲートを用いる、全ての不揮発性のメモリ素子に影響を与える。もし存在するなら、シナプス・トランジスタは、より更に、酸化物でのリークの耐性を持つ。何故なら、殆どの場合において、それらは、進行中に (on an ongoing basis)、格納された電荷に適合する回路を用いていたからである。しかし、もし、メモリが、更新無しに何年も格納されねばならないならば、殆どの2重ゲート酸化物CMOSプロセスで利用可能な70Åの酸化物が用いられる。

従来のEEPROMsは一般的にn-MOSFETsを採用し、メモリに書きこむために、Fowler-Nordheimトンネリングを使用する。n型フローティング・ゲートMOSFETの同時のトンネリングおよび読出しは、異なるので、アナログ・メモリに書き込むことは通常、反復のプロセスである。本発明の1つの実施例にしたがって、pMOSのEEPROMセルは、同時のメモリ書き込みと読出しを可能とすることによって、正確で、単一ステップの、アナログ書き込みを可能とする。更に、セルは、単一極性の電源 (supply) から作動し得、標準n-井戸の、2重ボリCMOSプロセスに形成され得る。(単一ボリのバージョンもまた、本明細書に記載される)。図13A、13B、および13Cの実施例に示されるように、メモリ・セル14は、3つの顕著な特徴を持つ。それらは、(1)それが、単一のn-井戸内で、完全に機能可能なp型フローティング・ゲートMOSFETを採用すること、(2)そのボリシリコン・フローティング・ゲート16が、n+井戸接点18に接する (abuts) こと、および、(3)そのフローティング・ゲート16が、ドレイン18およびソース20注入 (implants) を完全に包囲すること、である。

フローティング・ゲート構造の、多くの他の実施例もまた、ここに記載される。例えば、図13A-13Cの実施例が、単一のn-井戸および2重のボリシリコン・プロセスを利用する一方、多くの他のバージョンもまた可能である。トンネリング機能が別個のn-井戸内に配置された、図14A、14B、および14Cは、類似の素子を説明する。図120-53もまた、単一のおよび2重のボリ・バージョン、水平および垂直バージョン、薄膜バージョン、および、これらのフローティング・ゲート構造の種々の要素の種々の他のアレンジメントを説明する。アナログ値が、これらの素子の上に格納されう一方、これらのセルが、デジタル値をも記録するために共通の回路が利用可能であることもまた理解して欲しい。

【0032】

より詳細に、図13A、13B、および13Cに戻る。ここには、本発明の一つの実施例による、単一のn-井戸26を持つフローティング・ゲート・シナプス・トランジスタ14が説明され、トンネリングおよび接合位置を示す。図13Aおよび13Cは、スケールする (scale) ために描かれている。そして、図13Bの垂直の寸法は、強調されている。全ての電圧は、ソース・ポテンシャルを基準にされており (referred to)、上述のスレッシュホールド・ソース電流が受け入れ可能であるが、サブ・スレッシュホールド・ソース電流 ($I_s < 100 \text{ nA}$) が想定されている。図13Cにおいて、ゲート酸化物は実際に、ページの平面に投射 (projects into) されているが、明確さのために、それは、90度回転され、チャンネル方向に描かれている。メモリは、熱電子注入によって書き込まれ、FNトンネリングによって抹消される。

10

20

30

40

50

【0033】

図15は、固定されたドレイン-から-ソースへの電圧 $V_{ds}=1.2V$ に対する、 $pFET$ ゲート電流・対・ソース電流のプロットである。上記で参照されている米国特許第5,990,512号に記載されるように、シリコン学習 (learning) アプリケーションに対して、好ましいソース電流範囲は、 $1pA < I_s < 100nA$ 、である。アナログEEPROMのアプリケーションに対して、好ましいソース電流範囲は、約20nAから、約20 μA までである。20nAより小さいソース電流は、避けられるべきである。何故なら、熱電子ゲート電流、および、それ故、メモリ書き込みレートが、小さいからである。 $pFET$ の相互コンダクタンスは、スレッショールド近傍ですぐに変化するもので、約200nAより小さいソース電流もまた避けられるべきである (図12について議論された理由による)。20 μA 以上では、チャンネルのドレイン端部 (end) におけるポテンシャルは、急速にドロップし、ゲート電流も急速にドロップする。デジタルのアプリケーションに対して、書き込みレートは、約20 μA の I_s を用いることによって最大化され得る。よりモダンなプロセスにおいて形成された $pFET$ sは、より高い最大のソース電流と、より高速のメモリ書き込みレートを可能とするであろう。

【0034】

図16は、1秒の書き込みパルス幅に対する、 $pMOS$ メモリ・セルの入力-出力伝達関数と出力書き込みエラーのプロットである。ここで、64の対数的に間隔が空けられたドレイン電流値が、トランジスタ (1,1) に書き込まれた (図10)。メモリ・セルのダイナミック・レンジを示すために、ログ・スケールの電流が、選ばれた。各書き込み前に、ドレイン電流は、100nAにリセットされた。読出し中のメモリへの書きこみを避けるために、書き込みおよび読出しのために使用されるドレイン電圧は、異ならねばならない。固有のフローティング・ゲート-からドレインへのオーバーラップ・キャパシタンスに起因して、この電圧差は、フローティング・ゲートにカップルし、書き込み電流と読出し電流の間のオフセットを引き起こす。 $pFET$ 相互コンダクタンスは、非線形なので、このオフセットは、一定ではなく、ゲイン・エラーと、測定された読出し-書き込み伝達関数における非線形の双方として現れる。

【0035】

図17は、 $pMOS$ メモリ・セル書き込みエラー・対・書き込みパルス幅、のプロットである。図16の実験は、68m秒から10秒の範囲の書き込みパルス幅を用いて実行された。ここで、オフセット・エラー (測定された電流とプログラムされた電流の間の最大偏差)、線形エラー (測定された電流と、ベスト・フィット (best fit) の線の間の最大偏差)、ゲイン・エラー (単一の傾斜 (unity slope) からのベスト・フィットの線の偏差)、および、ランダム・エラー (非線形の除去後のRMSエラー) が、書き込みパルス幅に対してプロットされる。この例では、過大サイズの (oversized) (1pF) ゲートキャパシタが採用されるので、そして、メモリに書きこむためにオフ・チップ電流ソースが用いられるので、修正時間 (settling times) は長い。プログラミング・パルス幅が短くなればなる程、プログラミング電流が除去されたときにドレイン電圧がその修正値 (settled value) から離れ、エラーがより大きくなる。

【0036】

<アプリケーション>

上述の $pFET$ のEEPROMは、多くのアプリケーションで利用されうる。例えば、 $pFET$ のEEPROMは、アナログ音声またはスピーチのレコーダで利用されうる。 $pFET$ のEEPROMは、固有的にアナログ素子で、同時読出しと書き込みを可能とするので、アナログ入力が、サンプルされた電流値に変換され得、 $pFET$ のEEPROMセルに直接書き込まれ得る。セルに書きこむことは、1つのステップからなるプロセスなので、アナログ・メモリを、 $pFET$ のEEPROMに格納することは、従来のアナログ音声またはスピーチ・レコーダ (そのいくつかは、現在、 $nFET$ のEEPROMを利用しており、反復的書き込みプロセスを必要とする) におけるより、遥かに単純である。そのような $nFET$ 素子は、現在、ISD (最近、Windboundによって買収された) として

10

20

30

40

50

知られる企業によって製造されている。

他のアプリケーションにおいて、pFETのEEPROMは、マルチ・レベルのデジタル・メモリで使用され得る。もし、各メモリ・セルが、例えば、8-ビット・メモリ値を格納するために使用されるならば、次に、適切なデコーディングによって、1キロのセル・メモリは、8キロ・ビットのデジタル・メモリを格納できる。nFET EEPROMsが、マルチ・レベル・メモリで使用されてきた(例えば、日本の三菱電機社およびカリフォルニアのサンタクララのインテル社によって製造されている素子を参照)が、正確なマルチレベル書き込みを可能とするために必要とされる追加の半導体プロセスは、チップコストの大きな増加に繋がる。新しいpFETは、従来の半導体プロセスを用いるので、それは、追加のプロセッシング・コスト無しに、マルチレベルの正確さを実現できる。

10

他のアプリケーションにおいて、pFETのEEPROMが、シナプス・トランジスタとして使用され得る。pFETシナプス素子において、pFETのEEPROMが、他のpFET構造に比して、好ましい素子として立証されることになる。何故なら、レイアウトが、実質的により少ないレイアウト・エリアとすることによって、より多くの素子が、シリコン・チップ上に配置されることを必要とするからである。

他のアプリケーションにおいて、pFETのEEPROMは、自動ゼロ化(autozeroing)の適応性の素子(adaptive devices)において利用され得る。そのような素子において、pFETのEEPROMは、他のpFET構造に比して、好ましい素子であることが立証されるであろう。

20

他のアプリケーションにおいて、pFETのEEPROMは、従来のデジタル・コンピュータにおける、オフ・チップの不揮発性のメモリ(NVM)を除去できる。存在するコンピュータは一般的に、それらのスタートアップ・コードを、BIOS内に格納する。これは、通常、マイクロプロセッサと同じ印刷回路ボードの上に配置された、フラッシュEEPROMでありうる。スタートアップ・コードは一般的に、マイクロプロセッサIC上に格納されていない。なぜなら、nFET EEPROMセルを構築するように要求されるMOSプロセッシングには、マイクロプロセッサを構築するために要求されるMOSプロセッシングと比較した場合、追加された、プロセッシング・ステップが要求されるからである。これらの、追加されたプロセッシング・ステップは、チップ歩留まり(yield)を削減し、マイクロプロセッサ・コストを増大させる。pFETのEEPROMは、標準プロセスで製造されるので、それは、追加のプロセッシング・ステップ無しに、BIOSメモリがマイクロプロセッサICに追加されることを可能とする。マイクロ・プロセッサICと同じボード上のBIOSメモリの配置が、コストを削減し、スピードを上げ、歩留まりについて不利な効果を持たないので、これは有利である。

30

pFETのEEPROMのための更なるアプリケーションは、現存するASICプロセス(processes)に不揮発性のメモリを付加することである。上述の理由により、ASICプロセスは一般的に、いかなる形式の不揮発性のメモリをも提供しない。pFETのEEPROMは、標準MOSプロセッシングとコンパチブルなので、それは、ASICベンダーが、プロセスに対する変更無しに、彼らの現存するプロセスに、不揮発性の、混合されたアナログーデジタルメモリを追加することを可能とする。この変更は、ASIC設計者に利用可能なセルのレパートリーに、無限の新しい可能性を持つ、不揮発性のメモリ素子を加えることとなる。

40

pFETのEEPROMのための、更なるアプリケーションは、上述したように、例えば、Miguel Figueeroa, John Hyde, Todd Hunes, および Chris Diorioによる、Proceedings of the 2001 Nonvolatile Semiconductor Memory Workshop, Monterey, CA, pp. 46-47, 2001の「A floating-gate trimmable high-resolution DAC in standard 0.25 μm CMOS」におけるように、アナログ回路の性能を削減(trim)することである。

【0037】

<代替的实施例>

特別のプロセスにおいて、ガード・リングを除去し、傾斜された(graded)ドレインお

50

よびソース接合を使用することが可能である。傾斜した接合は、より低いE-フィールド(E-fields)を持つことによって、トンネリング中の、井戸からドレイン(およびソース)への、pn破壊を防ぐ。したがって、このやり方で構築されたメモリは、本発明に含まれる。

他の代替例は、n+井戸(well)注入(implant)の端部(edge)においてではなくむしろ、電子が、ゲート酸化物表面を通じてn-井戸ヘトンネルする場所、トンネリング接合を形成することである。(図13A-13Cの実施例において、電子は、フローティング・ゲート16から、n+注入18に、その端部においてトンネルする)。

トンネリング領域を、pFETsのソースからアイソレートするために、図18Aおよび18Bに示される、ガードされたpFETシナプス40が構築された。この素子において、電子は、フローティング・ゲート42から、ゲート酸化物表面47を通じ、トンネリング接合46を通じて、n-井戸44にトンネルする。

この実施例において、pFET(40)のフローティング・ゲート42は、フィールド酸化物48の領域を越えて延びる。そして、アイソレートされた、4ミクロン×4ミクロンの矩形のボウル(bowl)のゲート酸化物50が、このフィールド酸化物領域内に配置される。ゲート酸化物ボウル46はその下(beneath)に、n-シリコン44を持ち、その上(above)にポリシリコンのフローティング・ゲート42を持ち、全ての4つのサイドの上にフィールド酸化物52を持つ。比較的高い電圧が、n-井戸44に印加され、電子を、フローティング・ゲート42から、ゲート酸化物ボウル46を通じて、n-井戸に、トンネルする。バルクn-からMOS表面への即座のポテンシャル・ドロップによって、フローティング・ゲート42は、n-シリコンを空乏化(depletes)させる。その結果、ボウル・トンネリングは、n+井戸接点(contact)においてトンネルするために必要とされる電圧より約5Vだけ高い井戸電圧を必要とする。しかし、トンネリングは、端部においてではなくむしろ、ゲート酸化物表面を通じるので、酸化物トラッピングが削減される。

この型のトンネリング接合は、pn-破壊問題を除去するが、そのターン・オン遅延(高い井戸電圧を印加すると、電子トンネリングの開始(onset)、の間の遅延)は、一般的に長い。図19において、3つの異なった井戸・パルス電圧について、ボウル形状の酸化物を通じてトンネリングされた電荷の総量・対・井戸電圧が高パルス化されている時間の総量が示される。ターン・オン遅延は、10秒(パルスベースのラーニング・システムに対しては非現実的に長い時間)を越え得る。この理由は、ボウルの下(beneath)のシリコン表面で形成される空乏(depletion)領域である。フローティング・ゲートとn-井戸の間の電圧差の結果として、ゲート酸化物の下(beneath)の表面領域は、空乏化され、空乏領域深さは、フローティング・ゲートと井戸の間の電圧差とともに変化する。もし、井戸が高パルス化されるならば、この空乏領域を広げるために、ホールがシリコン表面に提供されねばならない。不幸にして、ホール・ソース(hole source)だけが熱的キャリア生成(thermal carrier generation)である。したがって、空乏領域を広げるには、多くの秒数が掛かる。システムのために井戸・トンネリング電圧が、アナログ量(analog quantity)をゆっくり変化させる、当該システムで、そのようなトンネリング接合が使用されるが、トンネリング接合は、システム内で、シナプスがバルス・トンネリングである当該システムでは使用され得ない。例外は、重くドープされた、チャンネル注入(implants)を持つCMOSプロセス、例えば、線形キャパシタを使用するプロセス、である。ボウル形状のトンネリング接合内に、この重くドープされた注入を用くと、トンネル遅延を殆ど除去し、パルス・トンネリングのために、これらの接合が使用されることを可能とする。

【0038】

特別のプロセスにおいて、ベンダーは、ボウル形状の酸化物の下(beneath)のバルクのn-ドーピングを増加できる。即ち、ベンダーは、n-井戸のその部分を、n+に変換することによって、ターン・オン遅延を削減できる。遅延が常に存在することとなる一方、遅延は、この技術によってナノ秒のオーダーに削減可能であり、よって、取るに足りないこととなる。

10

20

30

40

50

図14A、14B、および14Cに戻る。図14Aは、EEPROMとして使用可能で、2重層ポリシリコン・プロセス内に実装される、本発明の一つの実施例による、pFETシナプス・トランジスタの上面図である。図14Bは、図14Aの14B-14Bの線に沿って取られた、図14AのpFET素子の側面立面断面図である。そして、図14Cは、図14Aと14Bの素子の電子伝導帯図である。この図の中の電圧は、ソース・ポテンシャルを基準とされ (referenced to)、サブ・スレッショールド ($I < 100 \text{ nA}$) 動作が想定される。

本発明の一つの実施例によって、pFETシナプス・トランジスタ53は、第1のn-井戸56内のp+ドープされた領域から形成されたソース54およびドレイン55を含む。ソース54は、接点54'を持ち、ドレイン55は、接点55'を持つ。第2のn-井戸56'は、接点57'を持つn+ドープされた領域57を含む。第1のポリシリコン層58.1は、フローティング・ゲートとして働く。図に示されるように、第1のポリシリコン層58.1の上 (above) に配置された第2のポリシリコン層58.2は、第1のポリシリコン層とともにポリ間 (intrepololy) のキャパシタ58.3を形成する。第1のn-井戸56および第2のn-井戸56'は、チャンネル・ストップ58.4 (これは、STI (浅いトレンチ分離 (shallow trench isolation)) またはLOCOS (シリコンの局所的酸化 (local oxidation of silicon)) でありうる) によって分離される。注入トランジスタ59のチャンネル59.1のソース54とドレイン55の間の電界は、ドレイン55の近傍のIHHIが、熱電子を、ゲート酸化物層59.2を通じて、フローティング・ゲート58.1の上に注入することを引き起こす。電子はトンネリング接合59.3、において、FNTトンネリングによって除去される。

図20-53に進む。ここで、本発明の種々の代替の実施例が、説明される。

図20および21はそれぞれ、本発明による素子の2層ポリシリコン・バージョンの、上部平面図および側面立面断面図である。このバージョンは、4つの端子を提供する。図21の断面図は、図20の線21-21に沿って取られた。このバージョンにしたがって、n-ドープされた井戸の組60、62が、p-ドープされた基板64内に形成される。第1のn-井戸61内に、p+ドープされた領域の組66、68 (これらは、それぞれ、ソースおよびドレインとして動作する) が配置される。ソース66とドレイン68の間にチャンネル70が形成される。IHHIが、ドレイン68の近傍で発生する。シリコン・ゲート酸化物層72のような絶縁体が、ポリシリコン (ポリ) 1層74 (これが、フローティング・ゲートとして働く) からチャンネル70を分離する。追加の絶縁材料が、ポリ2層から形成された制御ゲート76からフローティング・ゲート74を分離する。ソース66、ドレイン68および制御ゲート76は、従来のやり方で、それぞれ接点78、80および82とともに提供される。第1のn-井戸60と第2のn-井戸62は、STIまたはLOCOSから形成されたチャンネル・ストップ84によって分離される。フローティング・ゲート74は、第2のn-井戸62を越えて、比較的高い電圧の井戸接点86 (これが、フローティング・ゲート74とn+領域84の間のトンネリングを引き起こす) のために用いられるn+領域84に延びる。図示されるように、ゲート酸化物層88のような絶縁体は、n-井戸62およびn+領域84からフローティング・ゲート74を分離する。

【0039】

図22および23はそれぞれ、本発明による素子90の2層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、4つの端子 (terminals) を提供する。図23の断面図は、図22の線23-23に沿って取られている。このバージョンにしたがって、単一のn-ドープされた井戸92が、p-ドープされた基板94内に形成される。n-井戸92内において、p+ドープされた領域の組96、98 (これらは、それぞれ、ドレインおよびソースとして動作する) が配置される。ソース96とドレイン98の間に、チャンネル100が形成される。ドレイン96の近傍にIHHIが発生する。シリコン・ゲート酸化物層102のような絶縁体が、ポリシリコン (ポリ) 1層104 (フローティング・ゲートとして働く) からチャンネル100を分離する。追加の絶縁材料が、ポリ2層から形成される制御ゲート106からフローティング・ゲート104を分離する。ドレイン96、ソース98、および制御ゲート106はそれぞれ、従来のやり方で、接点108、110、および112とともに提供さ

10

20

30

40

50

れる。n-井戸領域92内のn+領域114は、フローティング・ゲート104からの電子の除去のために、トンネリング接合115のための井戸接点を提供する。n+領域114のために、接点116が提供される。ドレイン領域98およびトンネリング接合115が、STIまたはLOCOSで形成されたチャンネル・ストップ118によって分離される。フローティング・ゲート104は、チャンネル・ストップ118を越えて延びるが、n+領域114を越えては延びない。図示のように、ゲート酸化物層120のような絶縁体が、n-井戸92からフローティング・ゲート104を分離する。

図24および25はそれぞれ、本発明による素子122の単一層ポリシリコン・バーションの上面図および側面立面断面図である。この素子は幾分、2つのポリシリコン層プロセスを利用する、図20および21の素子に対応する。このバージョンは、3つの端子を提供する。図25の断面図は、図24の線25-25に沿って取られた。このバージョンにしたがって、n-井戸の組124、126が、p-ドーブされた基板128内に形成される。第1のn-井戸124内に、p+ドーブされた領域の組130、132（これらはそれぞれ、ソースおよびドレインとして動作する）が配置される。チャンネル134が、ソース130とドレイン132の間に形成される。IHHIは、ドレイン132の近傍に発生する。シリコン・ゲート酸化物層136のような絶縁体が、フローティング・ゲートとして働くポリシリコン層138からチャンネル134を分離する。この実施例では、制御ゲートは必要とされず、提供されない。その結果、第2のポリシリコン層は必要とされず、それ故、製造プロセスは単純化される。ソース130およびドレイン132はそれぞれ、従来のやり方で、接点140、142とともに提供される。n-井戸領域126内のn+領域144は、フローティング・ゲート138からの電子の除去のために、トンネリング接合146のための井戸接点を提供する。接点148が、n+領域144のために提供される。第1のn-井戸124および第2のn-井戸126は、STIまたはLOCOSによって形成されたチャンネル・ストップ150によって分離される。フローティング・ゲート138は、チャンネル・ストップ150を越えて、n+領域144を越えて、そこに接する領域に延び、場合によっては、部分的にn+領域144に重なり得る。図示のように、ゲート酸化物層136のような絶縁体もまた、n+領域144から、フローティング・ゲート138を分離する。

【0040】

図26および27はそれぞれ、本発明による素子122'の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。トンネリング接合としてショートされたpFETが用いられる点を除いて、この素子は図24および25の素子122に対応する。可能な場合には、この説明は、図24および25の説明で使用されるものと同じ参照番号を利用するであろう。図24および25のように、これは、単一ポリの3つの端子の素子である。図27の断面図は、図26の線27-27に沿って取られる。このバージョンにしたがって、n-井戸の組124、126が、p-ドーブされた基板内128に形成される。第1のn-井戸124内に、p+ドーブされた領域130、132の組（それぞれソースおよびドレインとして動作する）が配置される。チャンネル134が、ソース130とドレイン132の間に形成される。IHHIが、ドレイン132の近傍に発生（occurs）する。シリコン・ゲート酸化物層136のような絶縁体が、ポリシリコン層138（フローティング・ゲートとして働く）からチャンネル134を分離する。本実施例では、制御ゲートは必要とされず、提供されない。その結果、第2のポリシリコン層は必要とされず、それによって、製造工程は単純化される。ソース130およびドレイン132はそれぞれ、従来のやり方で、接点140、142とともに提供される。

この素子は、以下の様に、図24および25の素子とは異なる。電子トンネリング接合152は、そのソース、ドレイン、および井戸接点が、電導体154（金属化（metallization）層であり得、接点としても作動し得る）と一緒にショートされたn-井戸126内に配置された、ショートされたpFETである。ソース156およびドレイン158は、n-井戸126のp+領域内に形成される。そして、井戸接点160は、n-井戸126のn+領域である。フローティング・ゲート138は、電導体154の下（under）に配置され、そこから、絶縁層156によって分離される。フローティング・ゲート138は、ゲート酸化物層136のような絶縁体の層によって、n-井戸から分離される。第1のn-井戸124および第2のn-井戸126は、S

10

20

30

40

50

T IまたはL O C O Sで形成されたチャンネル・ストップ150によって分離される。図示されるように、フローティング・ゲート138は、チャンネル・ストップ150を越えて、トンネルリング接合152に延びる。

図28および29はそれぞれ、本発明による素子122'の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。この素子は、トンネルリング接合としてショートされたn F E Tが用いられる点を除いて、図26および27の素子122'に対応する。可能な場合には、この説明は、図26および27の説明で使用されたものと同じ参照番号を用いることになる。図26および27の図に、これは、単一のポリ、3端子素子である。図29の断面図は、図28の線29-29に沿って取られた。このバージョンにしたがって、n-井戸の組124、126が、p-ドーパされた基板128内に形成される。第1のn-井戸124内に、p+ドーパされた領域の組130、132（それぞれ、ソースおよびドレインとして動作）が配置される。ソース130とドレイン132の間にチャンネル134が形成される。I H H Iは、ドレイン132近傍で発生する。シリコン・ゲート酸化物層136のような絶縁体が、ポリシリコン層138（フローティング・ゲートとして働く）からチャンネル134を分離する。本実施例では、制御ゲートは必要とされず、提供されない。その結果、第2のポリシリコン層は、必要とされず、それによって、製造プロセスは単純化される。ソース130とドレイン132はそれぞれ、従来のなやり方で、接点140、142ともに提供される。

素子は、図26および27の素子とは、以下のように異なる。電子トンネルリング接合158は、そのソースおよびドレインが一緒に電導体160（これは、金属化層であり得、また、接点として動作し得る）にショートされた、n-井戸126内に配置された、ショートされたn F E Tである。ソース162およびドレイン164は、n-井戸126のn+領域内に形成される。フローティング・ゲート138は、電導体160の下（under）に配置され、絶縁層156によって、そこから分離される。フローティング・ゲート138は、ゲート酸化物層136のような絶縁体の層によってn-井戸から分離される。第1のn-井戸124および第2のn-井戸126は、S T IまたはL O C O Sによって形成されるチャンネル・ストップ150によって分離される。図示のように、フローティング・ゲート138は、チャンネル・ストップ150を越えて、トンネルリング接合152に延びる。

【0041】

図30および31はそれぞれ、本発明の一つの実施例による素子170の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、3つの端子を提供する。図31の断面図は、図30の線31-31に沿って取られている。このバージョンにしたがって、単一のn-ドーパされた井戸172が、p-ドーパされた基板174内に形成される。n-井戸172内には、p+ドーパされた領域の組176、178（これらは、それぞれ、ドレインおよびソースとして動作する）が配置される。チャンネル180が、ソース178とドレイン176の間に形成される。I H H Iが、ドレイン176の近傍で発生する。シリコン・ゲート酸化物層182のような絶縁体が、フローティング・ゲートとして働くポリシリコン（ポリ）層184からチャンネル180を分離する。本実施例では、制御ゲートは存在せず、第2のポリ層は使用されず、或いは、必要とされない。ソース176およびドレイン178が、それぞれ、従来のなやり方で、接点186および188とともに提供される。n-領域174内のn+領域190が、フローティング・ゲート184からの電子の除去のために、トンネルリング接合192のための井戸接点を提供する。n+領域190のために、接点194が提供される。ドレイン領域178およびトンネルリング接合192が、S T IまたはL O C O Sによって形成されるチャンネル・ストップ196によって分離される。フローティング・ゲート184が、チャンネル・ストップ196を越えて延び、n+領域190の一部を越えて延び得る。図示のように、ゲート酸化物層182のような絶縁体が、n-井戸172から、フローティング・ゲート184を分離する。

図32および33はそれぞれ、本発明の一つの実施例による素子170'の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、3つの端子を提供し、ボウル形状のトンネルリング接合を利用する。図33の断面図は、図32の線33-33に沿って取られた。この素子は、これが、ボウル形状のトンネルリング接合を利用し、関連する修正を含む点を除いて、図30および31の素子170に対応する。可能な場合には、この説明

10

20

30

40

50

は、図30および31の説明で使用された参照番号と同じ参照番号を使用することになる。本発明にしたがって、単一の n -ドーブされた井戸172が、 p -ドーブされた基板174内に形成される。 n -井戸172内に、 p -ドーブされた領域の組176、178(それぞれ、ドレインおよびソースとして動作する)が配置される。チャンネル180が、ソース178およびドレイン176の間に形成される。IHHIが、ドレイン176の近傍に発生する。シリコン・ゲート酸化物層182のような絶縁体が、フローティング・ゲートとして働くポリシリコン(ポリ)層184からチャンネル180を分離する。本実施例には制御ゲートは存在せず、第2のポリ層は使用されず、或いは、必要とされない。ソース178およびドレイン176はそれぞれ、従来のやり方で、接点186および188とともに提供される。 n -井戸領域174内の n +領域190が、フローティング・ゲート184からの電子の除去のために、ボウル形状のトンネリング接合192のための井戸接点を提供する。 n +領域190のために、接点194が提供される。ドレイン領域178およびトンネリング接合192は、STIまたはLOCOSによって形成されたチャンネル・ストップ196によって分離される。本実施例では、フローティング・ゲート184は、チャンネル・ストップ196を越えて延び、 n +領域190のいかなる部分をも越えては延びない。図示されるように、ゲート酸化物層182のような絶縁体は、 n -井戸172からフローティング・ゲート184を分離する。

【0042】

図30および35はそれぞれ、本発明の一つの実施例による、素子170'の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、3つの端子を提供し、トンネリング接合として、ショートされた n FETを利用する。図35の断面図は、図34の線35-35に沿って取られた。この素子は、それが、トンネリング接合としてショートされた n FETを用い、関連する修正を含む点を除いて、図32および33の素子170'に対応する。可能な場合には、この説明は、図32および33の説明で使用されるものと同じ参照番号を利用することになる。このバージョンにしたがって、単一の n -ドーブされた井戸172が、 p -ドーブされた基板174内に形成される。 n -井戸172内に、 p -ドーブされた領域の組176、177(それぞれ、ドレインおよびソースとして動作する)が配置される。チャンネル180は、ソース178とドレイン176の間に形成される。ドレイン176近傍にIHHIが発生する。シリコン・ゲート酸化物層182のような絶縁体が、フローティング・ゲートとして働く、ポリシリコン(ポリ)層184から、チャンネル180を分離する。本実施例には制御ゲートは存在せず、第2のポリ層は使用されず、或いは、必要とされない。ソース178とドレイン176はそれぞれ、従来のやり方で、接点186および188とともに提供される。

この素子は、以下のように、図32と33の素子とは異なる。電子トンネリング接合198は、そのソースおよびドレインが一緒に電導体200(これは、金属化層であり得、必要であれば接点としても働く)にショートされた、 n -井戸172内に配置された、ショートされた n FETである。ソース202とドレイン204は、 n -井戸172の n +領域内に形成される。フローティング・ゲート184は、電導体200の下(under)に配置され、絶縁層(本実施例では図示されないが、図28/29の実施例に、層156として示される)によって、そこから分離される。フローティング・ゲート184は、ゲート酸化物層182のような絶縁体の層によって、 n -井戸172から分離される。ドレイン領域176とトンネリング接合198は、STI或いはLOCOSで形成されたチャンネル・ストップ196によって分離される。図28/29の実施例に示されるように、フローティング・ゲート184は、チャンネル・ストップ196を越えて延び、電導体層200と n -井戸172の間で延びる。図に示されるように、ゲート酸化物層182のような絶縁体が、 n -井戸172から、フローティング・ゲート184を分離し、電導体200から、従来の絶縁層(図28/29の実施例における156)で絶縁されたフローティング・ゲート184を分離する。

【0043】

図36および37はそれぞれ、本発明の一つの実施例による、素子170'の2重層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、4つの端子を提供し、トンネリング接合としてショートされた p FETを利用する。これは、2重ポリ・プロセスで実現される。図37の断面図は、図36の線37-37に沿って取られた。こ

10

20

30

40

50

の素子は、トンネリング接合、2重ポリ層、および、 n -井戸の組、として、ショートされた $pFEET$ を採用する。可能な場合には、この説明は、図34および35の説明で使用されたものと同一参照番号を使用することになる。本バージョンに従って、 n -ドープされた井戸の組172aおよび172bが、 p -ドープされた基板174内に形成される。第1の n -井戸172a内に、 p +ドープされた領域176、178の組(それぞれ、ソースおよびドレインとして働く)が配置される。ソース176とドレイン178の間に、チャンネル180が形成される。ドレイン178の近傍で $IHHI$ が発生する。シリコン・ゲート酸化物層182のような絶縁体が、第1のポリシリコン(ポリ)層184(フローティング・ゲートとして働く)から、チャンネル180を分離する。制御ゲート206は、第2のポリ層から形成され得る。従来のやり方で、接点208とともに制御ゲート206が提供される。ソース176とドレイン178はそれぞれ、従来のやり方で、接点186および188とともに提供される。例えば、熱的に成長させること、或いは、蒸着されたシリコン化合物によって、形成された従来のアイソレーション層156が、フローティング・ゲート184から制御ゲート206を絶縁する。

電子トンネリング接合210は、その p +ソースと p +ドレインが一緒に、電導体212(金属化された層であり得、必要に応じて、接点としても働きうる)にショートされた、 n -井戸172b内に配置された、(図26/27の実施例のように)ショートされた $pFEET$ である。 n +井戸220もまた、ソース214およびドレイン216とショートされる。ソース214およびドレイン216は、 n -井戸172bの n +領域内に形成される。フローティング・ゲート184は、電導体212の下 (under) に配置され、絶縁層156によって、そこから分離される。フローティング・ゲート184は、ゲート酸化物層182のような絶縁体の層によって、 n -井戸172bから分離される。井戸172aおよび172bは、 STI 或いは $LOCOS$ で形成されたチャンネル・ストップ218によって分離される。図示されるように、フローティング・ゲート184は、チャンネル・ストップ218を越えて延び、伝導体層212と n -井戸172bの間で延びる。

図38および39はそれぞれ、本発明の一つの実施例による、素子170'''の2重層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、4つの端子を提供し、トンネリング接合として、ショートされた $nFEET$ を利用する。これは、2重ポリ・プロセス内で実現される。図39の断面図は、図38の線39-39に沿って取られた。本実施例に従って、 n -ドープされた井戸の組172aおよび172bが、 p -ドープされた基板174内に形成される。第1の n -井戸172a内に、 p +ドープされた領域の組176、178(これらは、それぞれ、ソースおよびドレインとして働く)が配置される。ソース176とドレイン178の間に、チャンネル180が形成される。ドレイン178の近傍で $IHHI$ が発生する。シリコン・ゲート酸化物層182のような絶縁体が、第1のポリシリコン(ポリ)層184(フローティング・ゲートとして働く)から、チャンネル180を分離する。制御ゲート206は、第2のポリ層から形成され得る。制御ゲート206が、従来のやり方で、接点208とともに提供される。ソース176とドレイン178はそれぞれ、従来のやり方で、接点186および188とともに提供される。例えば熱的成長または蒸着されたシリコン化合物によって形成された、従来のアイソレーション層156は、フローティング・ゲート184から制御ゲート206を絶縁する。

【0044】

電子トンネリング接合221は、その n +ソース224および n +ドレイン226と一緒に、電導体222(これは、金属化された層であり得、必要であれば、接点としても働き得る)にショートされた n -井戸172b内に配置された、(図28/29の実施例のように)ショートされた $nFEET$ である。ソース224およびドレイン226は、 n -井戸172bの n +領域内に形成される。フローティング・ゲート184は、電導体222の下 (under) に配置され、絶縁体層156によって、そこから分離される。フローティング・ゲート184は、ゲート酸化物層182のような絶縁体の層によって n -井戸172bから分離される。井戸172aおよび172bは、 STI または $LOCOS$ で形成されたチャンネル・ストップ218によって分離される。図示のように、フローティング・ゲート184は、チャンネル・ストップ218を越えて延び、電導体層212と n -井戸172bの間で延びる。

10

20

30

40

50

図40-47に移る。これらは、制御ゲート・キャパシタンスが、別個に実現された、本発明のいくつかの実施例である。

図40および41はそれぞれ、本発明の一つの実施例による素子300の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、4つの端子を提供し、フローティング・ゲートとn-井戸302cの間に別個の制御キャパシタンスを提供するために、3つのn-井戸のアプローチを利用する。図41の断面図は、図40の線41-41に沿って取られた。この実施例に従って、3つのn-ドーパされた井戸302a、302b、および302cが、p-ドーパされた基板304内に形成される。第1のn-井戸302a内において、p+ドーパされた領域の組306、308(それぞれ、ソースおよびドレインとして働く)が配置される。チャンネル310が、ソース306とドレイン308の間に形成される。ドレイン308の近傍でIHHIが発生する。シリコン・ゲート酸化物層312のような絶縁体が、ポリシリコン(ポリ)層314(フローティング・ゲートとして働く)から、チャンネルを分離する。制御ゲートが、本実施例で提供される。ソース306とドレイン308がそれぞれ、従来のなやり方で、接点316および318とともに提供される。従来の絶縁層320が、例えば熱成長またはシリコン酸化物の蒸着によって、フローティング・ゲート314の上(over)に形成される。

電子トンネリング接合322が、第2の井戸302b内に提供され、n+領域324を含む。領域324は、層312(シリコン・ゲート酸化物)のような絶縁体によって、フローティング・ゲート314から分離され、接点326が提供される。

別個の制御キャパシタ328が、第3の井戸302c内で提供され、n+領域330を含む。領域330は、接点332とともに提供される。フローティング・ゲート314は、キャパシタンスを提供するために、少なくとも井戸302cの一部分において重なる(overlies)。

井戸302a、302b、および302cは、STIまたはLOCOSで形成されたチャンネル・ストップ334aおよび334bによって、互いに分離される。図示されるように、フローティング・ゲート314は、チャンネル・ストップ334aおよび334bを超えて延び、素子336の電子注入部分、素子322の電子トンネリング部分、および、素子328の制御キャパシタ部分、を一緒にカプセルする。例えば、電子注入部分336と電子トンネリング部分322の間に配置された制御キャパシタ部分328を持たすことによって、或いは、電子注入部分336を、電子トンネリング部分322と制御キャパシタ部分328の間に配置することによって、種々の要素を、異なった形で、基板上にアレンジすることもまた可能である。

【0045】

図42および43はそれぞれ、本発明の実施例による、素子300'の単一層のポリシリコン・バージョンの上面図および側面立面断面図である。図40と41の実施例のように、このバージョンは、4つの端子を提供し、フローティング・ゲートとn-井戸302cの間に別個の制御キャパシタを提供するために、3つのn-井戸のアプローチを利用する。この実施例では、一つあるいはそれ以上の電子トンネリング部分322と制御キャパシタ部分328が、ショートされたnFETとともに実現される。図43の断面図は、図42の線43-43に沿って取られた。この実施例にしたがって、3つのn-ドーパされた井戸302a、302b、および302cが、p-ドーパされた基板304内に形成される。第1のn-井戸302a内に、p+ドーパされた領域の組306、308(それぞれ、ソースおよびドレインとして動作する)が配置される。チャンネル310が、ソース306とドレイン308の間に形成される。ドレイン308の近傍でIHHIが発生する。シリコン・ゲート酸化物層312のような絶縁体は、ポリシリコン(ポリ)層314(フローティング・ゲートとして働く)からチャンネル310を分離する。本実施例では、制御ゲートは提供されない。ソース306とドレイン308がそれぞれ、従来のなやり方で、接点316および318とともに提供される。従来の絶縁層320が、例えば熱成長或いは蒸着されたシリコン酸化物によって、フローティング・ゲート314の上(over)に形成される。

第2の井戸302b内で、電子トンネリング注入322が提供され、n+ドレイン領域340、n+ソース領域342、および、ドレインおよびソース接続を一緒に接触およびショートするものとしても働くショーティング・ドンダクタ(shorting conductor)344を有する、シ

10

20

30

40

50

ョートされたnFETトランジスタ338を含む。フローティング・ゲート314は、フローティング・ゲート314からの電子のトンネリング・オフを可能とするために、ゲート酸化物層312によって、第2の井戸302bから分離されるようにアレンジされている。

別個の制御キャパシタ328が、第3の井戸302c内で提供され、n+ドレイン領域348、n+ソース領域350、および、ドレインおよびソース接続を一緒に接触およびショートするものとしても働くショータンピング・コンダクタ352、を有する。ショートされたnFETトランジスタ346を含む。フローティング・ゲート314は、キャパシタ328に対して誘電体を提供するように、ゲート酸化物層312によって、第3の井戸302cから分離されるようにアレンジされる。フローティング・ゲート314は、キャパシタンスを提供するために、少なくとも、井戸302cの一部の上に重なる(overlies)。

代替の実施例において、図42/43の実施例のキャパシタ部分(section)328は、図40/41の実施例のものに交換され得、及び/または、電子トンネリング部分322もまた、そのように交換され得る(双方ともが、ショートされたnFETで実現されないように)。

井戸302a、302b、および302cは、STIまたはLOCOSで形成されるチャンネル・ストップ334aおよび334bによって、互いに分離される。図に示されるように、素子336の電子注入部分(portion)、素子322の電子トンネリング部分、および、素子328の制御キャパシタ部分、を一緒にカップルするために、フローティング・ゲート314は、チャンネル・ストップ334aおよび334bを越えて延びる。種々の要素(components)を、例えば、制御キャパシタ部分328を、電子注入部分336と電子トンネリング部分322の間に配置することによって、或いは、電子注入部分336を、電子トンネリング部分322と制御キャパシタ部分328の間に配置することによって、基板上に異なったように、アレンジすることもまた可能である。

[0046]

図44および45はそれぞれ、本発明の実施例による、素子300'の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。図42と43の実施例のように、このバージョンは、4つの端子を提供し、3つのn-井戸のアプローチを利用して、フローティング・ゲートとn-井戸302cの間の、別個の制御キャパシタを提供する。この実施例において、一つあるいはそれ以上の電子トンネリング部分322および制御キャパシタ部分328が、ショートされたpFETとともに実現される。図45の断面図は、図44の線45-45に沿って取られた。この実施例にしたがって、3つのn-ドープされた井戸302a、302b、および302cが、p-ドープされた基板304の中に形成される。第1のn-井戸302には、p+ドープされた領域の組306、308(これはそれぞれ、ソースおよびドレインとして動作する)が配置される。ソース306とドレイン308の間に、チャンネル310が形成される。IHHIが、ドレイン308の近傍で発生する。シリコン・ゲート酸化物層312のような絶縁体は、ポリシリコン(ポリ)層314(フローティング・ゲートとして働く)からチャンネル310を分離する。この実施例では、制御ゲートは提供されない。ソース306とドレイン308がそれぞれ、や従来のなやり方で、接点316および318とともに、提供される。従来の絶縁層320が、例えば、熱的成長または蒸着されたシリコン酸化物によって、フローティング・ゲート314の上(over)に形成される。

電子トンネリング注入322が、第2の井戸302b内に提供され、p+ドレイン領域356、p+ソース領域358、n+井戸接続360、および、ドレイン、ソース、および井戸接続を一緒に接触およびショートするものとしても働くショータンピング・コンダクタ344、を有する。ショートされたpFETトランジスタ354を含む。フローティング・ゲート314は、フローティング・ゲート314からの電子のトンネリング・オフを可能とするように、ゲート酸化物層312によって、第2の井戸302bから分離されるようにアレンジされる。

別個の制御キャパシタ328が、第3の井戸302c内で提供され、p+ドレイン領域364、p+ソース領域366、および、n+井戸接続368、および、ドレイン、ソース、および井戸接続を一緒に接触およびショートするものとしても働くショータンピング・コンダクタ352を有する。ショートされたpFETトランジスタ362を含む。フローティング・ゲート314は、ゲート酸化物層312によって第3の井戸302cから分離されるようにアレンジされ、キ

10

20

30

40

50

ャパシタ328のための誘電体を提供する。フローティング・ゲート314は、少なくとも井戸302cの部分の上に重なって、キャパシタンスを提供する。

代替の実施例において、図44/45の実施例のキャパシタ・セクション328は、図40/41及び/又は図42/43の実施例のものに交換され得るし、及び/又は、電子トンネリング・セクション322は、そのように交換され得る(双方がショートされたpFETで実現される必要が無いように)。したがって、これらのバージョンのいくつかが、必要に応じて使用され得る。

井戸302a、302b、および302cは、STIまたはLOCOSで形成されるチャンネル・ストップ334aおよび334bによって、互いに分離される。図示のように、フローティング・ゲート314は、チャンネル・ストップ334aおよび334bを越えて延び、素子336の電子注入部分、素子322の電子トンネリング部分、および、素子328の制御キャパシタ部分、を一緒にカププルする。例えば、制御キャパシタ部分328を、電子注入部分336と電子トンネリング部分322の間に配置することによって、或いは、電子注入部分336を、電子トンネリング部分322と制御キャパシタ部分328の間に配置することによって、種々の要素を、基板上に、異なった形でアレンジすることもまた可能である。

【0047】

図46および47はそれぞれ、本発明の一つの実施例による素子300''の単一層のポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、図44および45の実施例におけるように、4つの端子を提供し、3つのn-井戸のアプローチを利用して、フローティング・ゲートとn-井戸302cの間での別個の制御キャパシタを提供する。この実施例において、電子トンネリング部分322は、n-井戸内のn+領域として実現され、制御キャパシタ部分328は、ショートされたnFETとして実現される。図47の断面図は、図46の線47-47に沿って取られた。この実施例によって、3つのn-ドープされた井戸302a、302b、および302cが、p-ドープされた基板304内に形成される。第1のn-井戸302a内に、p+ドープされた領域の組306、308(それぞれ、ソースおよびドレインとして動作する)が配置される。ソース306とドレイン308の間にチャンネル310が形成される。ドレイン308近傍にIHHIが発生する。シリコン・ゲート酸化物層312のような絶縁体が、フローティング・ゲートとして働くポリシリコン(ポリ)層314からチャンネル310を分離する。この実施例では、制御ゲートは提供されない。ソース306およびドレイン308がそれぞれ、従来のなやり方で、接点316および318とともに提供される。従来の絶縁層320が、例えば、熱的成長或いは蒸着されたシリコン酸化物によって、フローティング・ゲート314の上(over)に形成される。

電子トンネリング接合322が、第3の井戸302c内に提供され、n+領域324を含む。フローティング・ゲート314からの電子のトンネリング・オフを可能とするために、領域324は、層312(シリコン・ゲート酸化物)のような絶縁体によってフローティング・ゲート314から分離され、接点326が提供される。

別個の制御キャパシタ328が、第2の井戸302b内に提供され、n+ドレイン領域348、n+ソース領域350、および、ドレインとソース接続を一緒に接触およびショートするものとしても動作するフローティング・コンダクタ352を持つ、ショートされたnFETトランジスタ346を含む。キャパシタ328のための誘電体を提供するために、フローティング・ゲート314は、ゲート酸化物層312によって、第3の井戸302cから分離されるようにアレンジされる。フローティング・ゲート314は、少なくとも、井戸302cの一部に重なって、キャパシタンスを提供する。

井戸302a、302b、および302cは、STIまたはLOCOSで形成されたチャンネル・ストップ334と334bによって互いに分離される。図示されるように、フローティング・ゲート314は、チャンネル・ストップ334aおよび334bを越えて延び、素子336の電子注入部分、素子322の電子トンネリング部分、および、素子328の制御キャパシタ部分、を一緒にカププルする。例えば、制御キャパシタ部分328を、電子注入部分336と電子トンネリング部分322の間に配置することによって、或いは、電子注入部分336を、電子トンネリング部分322と制御キャパシタ部分328の間に配置することによって、種々の要素を、異なった

10

20

30

40

50

形で、基板上にアレンジすることもまた可能である。

【0048】

図48および49はそれぞれ、本発明の一つの実施例による素子400の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、2つの端子を提供し、単一のn-井戸のアプローチを利用する。トンネリング接合は、紫外線が高温抹消(erasure)かのにずれかを用いて実現される。本実施例において、電子は、それらを加熱することによって、或いは、周知のUV消去可能なプログラマブル・リード・オンリー・メモリ(PROMs)のように、それらをUV消去(erasing)することによって、ゲートから除去される。図49の断面図は、図48の線49-49に沿って取られた。本実施例によって、単一のn-ドープされた井戸402が、p-ドープされた基板404内に形成される。n-井戸402内に、p+ドープされた領域の組406、408(それぞれ、ソースおよびドレインとして動作する)が配置される。ソース406とドレイン408の間に、チャンネル410が形成される。ドレイン408の近傍にIHHIが発生する。シリコン・ゲート酸化物層412のような絶縁体が、ポリシリコン(ポリ)層414(フローティング・ゲートとして働く)からチャンネル410を分離する。本実施例では、ポリシリコンの制御ゲートは提供されない。ソース406およびドレイン408がそれぞれ、従来のなやり方で、接点416および418とともに提供される。例えば、熱成長された、或いは、蒸着されたシリコン酸化物によって、従来の絶縁層420が、フローティング・ゲート414の上(over)に形成される。フローティング・ゲート414の光子消去(photonic erasure)のために、従来のなやり方で、ウィンドウ419が絶縁層420内に提供され得る。必要であれば、この実施例を、いくつかの上記実施例の別個の制御キャパシタ要素と結合することもまた可能である。

図50および51はそれぞれ、本発明の一つの実施例による素子450の単一層ポリシリコン・バージョンの上面図および側面立面断面図である。このバージョンは、3つの端子を提供し、2つのn-井戸内のボウル形状のトンネリング接合452を利用する。図51の断面図は、図50の線51-51に沿って取られた。この実施例にしたがって、第1のおよび第2のn-井戸454、456が、p-ドープされた基板458内に形成される。n-井戸454内に、p+ドープされた領域の組460、462(それぞれ、ソースおよびドレインとして働く)が配置される。チャンネル464が、ソース460とドレイン462の間に形成される。ドレイン462の近傍にIHHIが発生する。2酸化シリコン・ゲート酸化物層466のような絶縁体が、ポリシリコン層468(フローティング・ゲートとして働く)からチャンネル464を分離する。本実施例では制御ゲートは提供されない。ソース460とドレイン462がそれぞれ、従来のなやり方で、接点470および472とともに提供される。例えば、熱的成長または蒸着された2酸化シリコンによって、従来の絶縁層474が、フローティング・ゲート468の上(over)に形成される。

ボウル形状のトンネリング接合452が、第2のn-井戸456内に提供され、n+ドープされた領域476および接点478を含む。フローティング・ゲート468から、n-井戸456内への電子のトンネリング・オブス可能とするために、フローティング・ゲート468が、ゲート酸化物層466によって、第2のn-井戸456から分離されるようにアレンジされる。フローティング・ゲート468は、少なくとも、n-井戸456の一部の上に重なるが、n+ドープされた領域476には重ならない。ここに記載されたいくつかの実施例のように、STIまたはLOCOSチャンネル・ストップ480によって、第1のn-井戸454および第2のn-井戸456は分離される。

図52は、ここに参照されるフローティング・ゲート素子のいくつかを形成するために使用され得る、垂直置換ゲートMOSFET素子500を示す。この素子において、トランジスタは、水平構造ではなくむしろ、垂直に形成される。この構造において、ドレイン502が、チャンネル504の下(below)に配置され、ソース500は、チャンネル504の上(above)に配置される。ゲート長508は、リソグラフィではなくむしろ、膜厚によって制御される。このMOS素子は、上述のようなフローティング・ゲート素子を形成するためにも使用され得る。処理ステップは、以下の様に要約される。第1に、酸化物によって分離された2つの層の端シリケート・ガラス(PSG: phosphosilicate glass)からなるスタック(stack)内に溝(trench)がエッチングされる。この溝は次に、ボロン(p型)でドープされたエ

10

20

30

40

50

ピタクシャルに成長したシリコンに充填されて、チャンネル504を形成する。2つのP S Gの層の間の酸化物は、犠牲層(この厚さがゲート長を決定する)である。この酸化物は次に、除去されて、2つのサイド(on two sides)(ここで、フェルト酸化物510が次に、暴露されたシリコン・チャンネルの上に成長する)でチャンネルを暴露する。次に、犠牲酸化物の除去によって残された空間が、燐でドーピングされ、熱処理ステップで再結晶化されたアモルファス・シリコンによって置換されて、ゲート512を形成する。窒化シリコン層514、516は、ゲート512を、隣接する構造から絶縁する。

【0049】

図53は、ここに参照されるフローティング・ゲート構造のいくつかを形成するために使用され得るFinFET素子600を示す。この素子は、S O I (シリコン・オン・インシュレータ)のような絶縁基板602を用いて形成される。薄いシリコン膜604が、絶縁基板の上に配置され、次に、2酸化シリコン606が蒸着される。この構造は次に、エッチングされて、狭いフィン608を形成する。一旦、このステップが完了すると、シリコン・ゲルマニウム614、そして、その後のより多くの酸化物616の蒸着によって、ソース610とドレイン612が形成される。窒化物スペーサ618が次に蒸着され、フィン608の部分の上(over)でエッチングされる。最後に、残存する暴露されたフィンの上に、蒸着によって、ゲート620が形成される。このやり方で、ゲートは、チャンネルの上(over)に、フォークのような構造を形成し、2重ゲートF E Tを形成する。この素子は、フローティング・ゲート。アプリケーションのために使用され得る。

最後に、C M O S シリコン・オン・サファイア(S O S)およびシリコン・オン・絶縁体(S O I)技術もまた、フローティング・ゲート素子を形成するために使用され得る。双方の技術が、個々の素子をアイソレートするための、絶縁基板材料を用いる。これらのアプローチの中で、一般的に2酸化シリコンである、絶縁材料が、基板材料(S O Sのサファイアか、S O Iのシリコンかのいずれか、および、この時点で、当業者に明かなように潜在的に他の材料)の上(over)に配置される。薄いシリコン層が次に、酸化物の最頂部の上に配置される。トランジスタは次に、バルクC M O S プロセスで、同様のやり方で形成される。これらのプロセスにおいて、フローティング・ゲート素子もが使用され得る。

【0050】

本発明の実施例およびアプリケーションが示されて、説明されてきた一方、この開示による利益を持つ当業者にとって、上述したよりも更に多くの修正が、ここにおける発明のコンセプトから離れること無しに、可能であることが明らかであろう。例えば、本発明が、単一の井戸、単一のボリ・プロセスで実現され得、低電圧プロセス(例えば ≤ 3 ボルト)で動作する一方、本発明は、それ程限定されず、複数のボリシリコン層、複数の井戸、及び/又は、より高い電圧素子をサポートするプロセスで実現され得ることが理解されるべきである。更に、ここで使用されるn-井戸のコンセプトは、従来のn-井戸素子だけでなく、N L D D (N-型の軽くドーピングされたドレイン)素子、および、価特性のある、素子のゲートドレインおよびドレイン・ソース電圧を増加させ、その結果、それが、この観点で、影響を与え、従来のn-井戸素子のように振舞うような、他の軽くドーピングされた、或いは、アイソレートされた構造、をも含むことを意図する。最後に、当分野の当業者は、この時点で、フローティング・ゲートが、重くドーピングされた多結晶シリコン以外の、多くのやり方で形成され得ることを理解するであろう。例えば、それらは、金属または他の電導体で形成され得る。本発明は、それ故、添付の請求項の精神を除く他、限定されない。

【図面の簡単な説明】

【0051】

【図1】シリコン/酸化物インターフェースにおける伝導電子によって直面されるポテンシャル障壁を示すエネルギー・バンド図である。

【図2】Fowler-Nordheimトンネリング・ポテンシャルの存在下で、2酸化シリコン障壁を通じて通過することを試みる、シリコン内の電子によって直面されるポテンシャルを示すエネルギー・バンド図である。

【図3】ゲート酸化物トンネリング接合のための、トンネリング電流・対・酸化物電圧のセミ対数プロットを示す図である。

【図4】チャンネルからゲートに電子を注入することが不可能であることを示す、 n -型 MOSFET の図である。

【図5】図4に説明された、従来の n -型 MOSFET のエネルギー・バンド図である。

【図6】 p FET のための単純化された回路モデルである。電子トンネリングおよび注入が、ゲート・オフセット電圧 V_q を修正する。

【図7】電子トンネリングおよび注入位置を示す、p FET シナプスである。3つの図面(7A、7Bおよび7C)は、垂直に配置されている。垂直は、図7Bで強調されている。そして、 $0.35\mu\text{m}$ プロセスでの素子実装に伴って、スレッシュホールド・オペレーション ($I_s < 100\text{nA}$) が想定されている。ゲート酸化物のバンド図は、垂直に記載されるが、

注入プロセスをより良く説明するために、それは、 90° 回転されており、チャンネル方向に描かれている。シナプス重み (synapse weight) は、トンネリング接合へのトンネリング電子によって減少されている。それは、ドレイン領域からフローティング・ゲートへの注入電子によって増大される。この実施例においては、2つの理由から、トンネリング接合は、 n -井戸内でのショートされた p FET を備える。第1に、軽くドーピングされた n -井戸は、基板への p -n 接合破壊無しに、高い正電圧を収納 (accomodate) 可能である。第2に、 n -井戸内のショートされた p FET は、CMOS プロセス内での (設計ルールを満足させる) 有効な構造 (valid structure) である。

【図8】 $2\mu\text{m}$ CMOS プロセスで形成されたシナプスのための、トンネリング (ゲート) 電流 I_g ・対・ $-1/V_{ox}$ を示す。 V_{ox} は、トンネリング接合とフローティング・ゲートの間のポテンシャルである。ゲート電流は、トンネリング接合 (ゲート酸化物) 面積 (area) に正規化 (normalized) される。

【図9】 $2\mu\text{m}$ および $0.35\mu\text{m}$ プロセスに形成されたシナプスに対する、 I_{HHI} 効率 (ゲート電流 I_g / ソース電流 I_s)・対・チャンネルからドレインへのポテンシャル V_{cd} のプロットである。ドレイン電圧はチャンネルへ参照される。何故なら、熱電子集団が、チャンネルからドレインへの電界から導かれる (derives from) からである。

【図10】本発明の一つの実施例による 2×2 のシナプス・アレイの電気的概略図である。列シナプスは、共通のトンネリング線を共有する。これは、この実施例で、それらが共通のトンネリング井戸 (well) を共有することを意味する。

【図11】図11Aおよび11Bは、 $2\mu\text{m}$ CMOS プロセスで生成された図10のアレイにおけるシナプス隔離を表すデータのプロットである。図11Aに示されるデータを得るために、全ての4つのシナプスが、 $I_s = 100\text{nA}$ に初期化された。他の3つのシナプスのソース電流を測定する一方、シナプス {1, 1} は次に、 100pA にトンネル・ダウン (tunneled down) され、次に、注入されて 100nA に戻された (injected back up to)。[{1, 2} シナプスのソース電流での分数変化 (fractional change)] / [{1, 1} シナプスのソース電流での分数変化] として定義される {1, 2} シナプスへのクロストークは、トンネリング中に 0.004% であり、注入中に 0.005% であった。図11Bに示されるデータを得るために、全ての4つのシナプスが、 $I_s = 100\text{pA}$ に初期化された。シナプス {1, 1} は次に、 100nA に注入されて増加され (injected up)、次に、 100pA にトンネル・バック・ダウン (tunneled back down) された。{1, 2} シナプスへのクロストークは、注入中に 0.016% であり、トンネリング中に 0.007% であった。双方の実験において、行2シナプスへのクロストークは、無視できた。

【図12】図12Aおよび12Bは、自己収束 (self-convergence) メモリ書き込みのプロセスを示す。図12Aは、例示回路の電気的概略図である。図12Bは、書き込み中の、p FET のドレイン電圧 V_d およびドレイン電流 I_d を表す SPICE シミュレーションの出力のプロットである。第1に電子は、フローティング・ゲートをトンネル・オフ (tunneled off) し、それ故、 $I_d < I_{ref}$ (シミュレーションには示されない) である。次に、トンネリングは停止され、次に、書き込みが開始する。スイッチ SW1は、 $t = 0$ で閉じられ、 V_d がドロップし、電子がフローティング・ゲートの上に注入し、 I_d が増える

10

20

30

40

50

こととなる。 I_d が、 I_{ref} に近づくにつれて、 V_d が増え、注入をターン・オフする。 I_d は、 $140\mu s$ で、その最終値の99%に達する。メモリは、 $V_d=1.7V$ を印加し、 I_d を測定することによって、回路の詳細に依存する精度（しかし、1%よりは良い）で読み取られる。シミュレーション・パラメータは、 $V_{dd}=6V$ 、 $C=5fF$ 、 $I_{ref}=10\mu A$ であった。

【図13A】本発明の一つの実施例によるpMOSアナログEEPROMセルの上面図である。

【図13B】本発明の一つの実施例によるpMOSアナログEEPROMセルの図13Aの線13B-13Bに沿って取られた断面図である。

【図13C】本発明の一つの実施例によるpMOSアナログEEPROMセルの電子バンド図である。

【図14A】EEPROMとして利用可能で、2重層ポリシリコン・プロセスで実装可能な本発明の一つの実施例のpFETシナプストランジスタの上面図である。

【図14B】図14Aの線14B-14Bに沿って取られた図14AのpFETの側面立面断面図である。

【図14C】図14Aおよび14Bの素子の電子伝導バンド図である。本図における電圧は、ソース・ポテンシャルに参照され、サブスレッシュホールド（ $I_x < 100nA$ ）動作が想定される。

【図15】固定されたドレインからソースへの電圧 $V_{ds}=12V$ に対する、pFETゲート電流・対・ソース電流のプロットである。

【図16】pMOSメモリ・セルの入力出力伝達関数、および、1秒書き込みパルス幅に対する出力書き込みエラーのプロットである。

【図17】pMOSメモリ・セルの書き込みエラー・対・書き込みパルス幅、のプロットである。

【図18A】本発明の一つの実施例による、ボウル形状のトンネリング接合を取りこむ、保護された（guarded）pFETシナプスの上面図である。

【図18B】図18Aの線18B-18Bに沿って取られた図18Aの素子の断面図である。

【図19】ボウル形状のトンネリング接合のターン・オン遅延のプロットである。

【図20】本発明の一つの実施例の素子の2層ポリシリコン・バージョンの上面図である。このバージョンは、4つの端子を提供する。

【図21】本発明の一つの実施例の素子の2層ポリシリコン・バージョンの側面立面断面図である。このバージョンは、4つの端子を提供する。

【図22】本発明の一つの実施例による素子の2層ポリシリコン・バージョンの上面図である。このバージョンは、4つの端子を提供する。

【図23】本発明の一つの実施例による素子の2層ポリシリコン・バージョンの側面立面断面図である。このバージョンは、4つの端子を提供する。

【図24】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。この素子は、幾分、2つのポリシリコン層プロセスを利用する図20および21の実施例に対応する。このバージョンは、3つの端子を提供する。

【図25】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。この素子は、幾分、2つのポリシリコン層プロセスを利用する図20および21の実施例に対応する。このバージョンは、3つの端子を提供する。

【図26】本発明の一つの実施例による素子の単一層のポリシリコン・バージョンの上面図である。この素子は、トンネリング接合としてショートされたpFETが用いられる図24および25の実施例に対応する。

【図27】本発明の一つの実施例による素子の単一層のポリシリコン・バージョンの側面立面断面図である。この素子は、トンネリング接合としてショートされたpFETが用いられる図24および25の実施例に対応する。

【図28】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図

20

30

40

50

である。本素子は、トンネリング接合としてショートされたn F E Tが用いられることを除いて、図26および27の実施例に対応する。

【図29】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本素子は、トンネリング接合としてショートされたn F E Tが用いられることを除いて、図26および27の実施例に対応する。

【図30】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは、3つの端子を提供する。

【図31】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは、3つの端子を提供する。

【図32】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは、3つの端子を提供し、ボウル形状のトンネリング接合を利用する。

10

【図33】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは、3つの端子を提供し、ボウル形状のトンネリング接合を利用する。

【図34】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは、3つの端子を提供し、トンネリング接合としてショートされたn F E Tを利用する。

【図35】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは、3つの端子を提供し、トンネリング接合としてショートされたn F E Tを利用する。

20

【図36】本発明の一つの実施例による素子の2重層ポリシリコン・バージョンの上面図である。本バージョンは、4つの端子を提供し、トンネリング接合としてショートされたn F E Tを利用する。

【図37】本発明の一つの実施例による素子の2重層ポリシリコン・バージョンの側面立面断面図である。本バージョンは、4つの端子を提供し、トンネリング接合としてショートされたn F E Tを利用する。

【図38】本発明の一つの実施例による素子の2重層ポリシリコン・バージョンの上面図である。このバージョンは4つの端子を提供し、トンネリング接合としてショートされたn F E Tを利用する。

30

【図39】本発明の一つの実施例による素子の2重層ポリシリコン・バージョンの側面立面断面図である。このバージョンは4つの端子を提供し、トンネリング接合としてショートされたn F E Tを利用する。

【図40】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。このバージョンは4つの端末を提供し、別個の制御キャパシタを提供するために、3つのn-井戸アプローチを利用する。

【図41】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。このバージョンは4つの端末を提供し、別個の制御キャパシタを提供するために、3つのn-井戸アプローチを利用する。

【図42】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは4つの端子を提供し、別個の制御キャパシタを提供するために3つのn-井戸アプローチを利用する。

40

【図43】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは4つの端子を提供し、別個の制御キャパシタを提供するために3つのn-井戸アプローチを利用する。

【図44】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは4つの端子を提供し、別個の制御キャパシタを提供するために3つのn-井戸アプローチを利用する。

【図45】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは4つの端子を提供し、別個の制御キャパシタを提供する

50

ために3つのn-井戸アプローチを利用する。

【図46】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは4つの端子を提供し、別個の制御キャパシタを提供するために3つのn-井戸アプローチを利用する。

【図47】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは4つの端子を提供し、別個の制御キャパシタを提供するために3つのn-井戸アプローチを利用する。

【図48】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは2つの端子を提供し、1つのn-井戸アプローチを利用する。トンネリング接合は、紫外線か、高温抹消 (erasure) かのいずれかを用いて実装される。

【図49】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは2つの端子を提供し、1つのn-井戸アプローチを利用する。トンネリング接合は、紫外線か、高温抹消 (erasure) かのいずれかを用いて実装される。

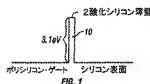
【図50】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの上面図である。本バージョンは3つの端子を提供し、ボウル形状のトンネリング接合を利用する。

【図51】本発明の一つの実施例による素子の単一層ポリシリコン・バージョンの側面立面断面図である。本バージョンは3つの端子を提供し、ボウル形状のトンネリング接合を利用する。

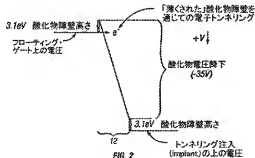
【図52】ここに参照されるフローティング・ゲート構造のいくつかを製造するために使用され得る、垂直置換ゲートMOSFET素子を示す。

【図53】ここに参照されるフローティング・ゲート構造のいくつかを製造するために使用され得るFinFET素子を示す。

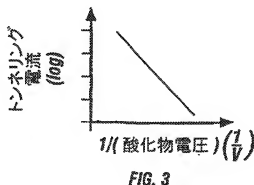
【図1】



【図2】



【図3】



【図4】

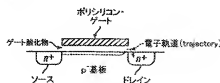


FIG. 4

【図 5】

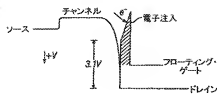


FIG. 5

【図 6】

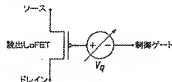


FIG. 6

【図 7 A】

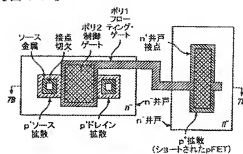


FIG. 7A

【図 7 B】

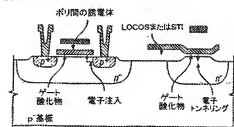


FIG. 7B

【図 7 C】

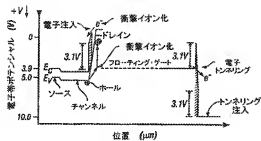


FIG. 7C

【図 9】

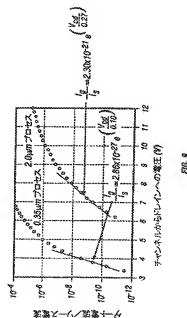


FIG. 9

【図 8】

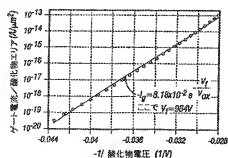


FIG. 8

【図10】

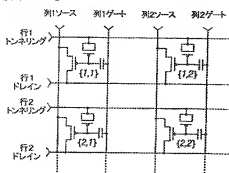


FIG. 10

【図11B】

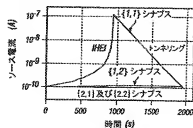


FIG. 11B

【図11A】

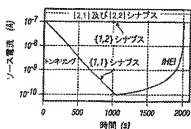


FIG. 11A

【図12B】

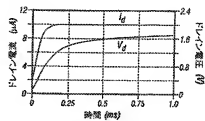


FIG. 12B

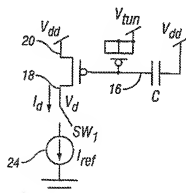


FIG. 12A

【図 24】

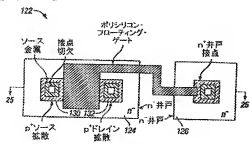


FIG. 24

【図 26】

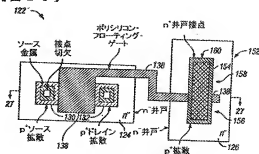


FIG. 26

【図 25】

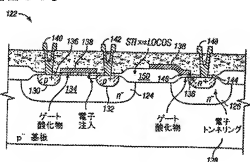


FIG. 25

【図 27】

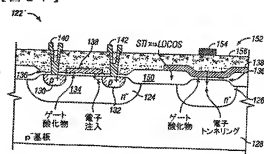


FIG. 27

【図 28】

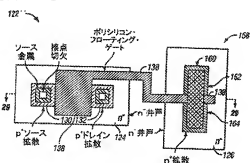


FIG. 28

【図 30】

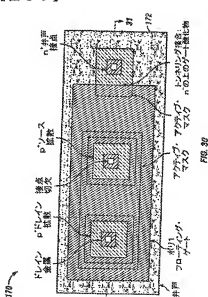


FIG. 30

【図 29】

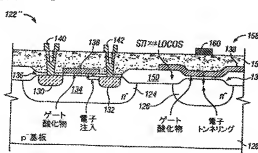
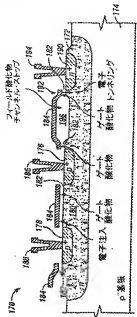
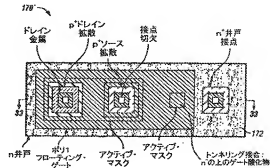


FIG. 29

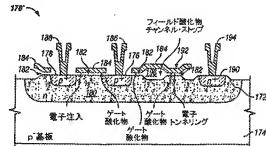
【图 3-1】



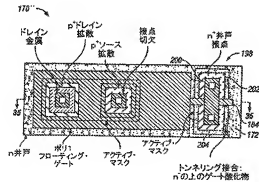
【图 3 2】



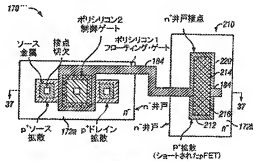
【例 3 3】



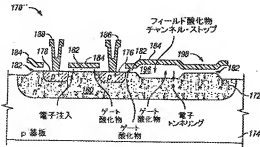
【图 3 4】



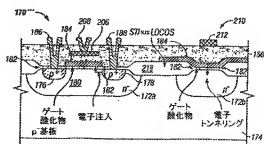
【图 3-6】



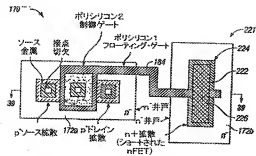
【图 3-5】



【图 3 7】



【图 38】



【 3 9 】

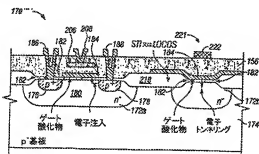


FIG. 39

【图 4-1】

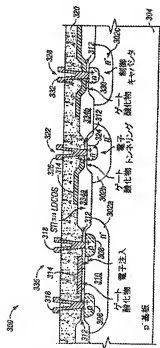


FIG. 41

【图 40】

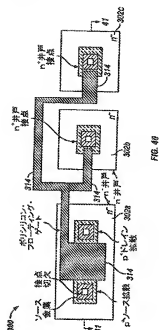


FIG. 40

【图 4-2】

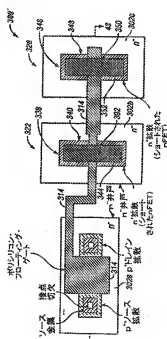


FIG. 42

【图 4-4】

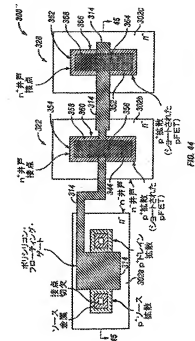


FIG. 14

【图 4-6】

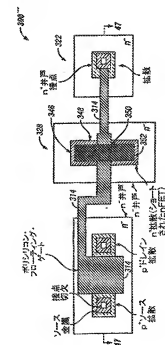
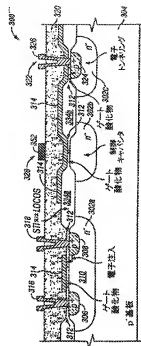


FIG. 48

【图 4-7】



【图 48】

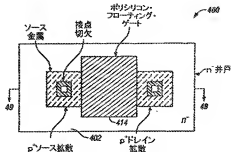


FIG. 45

【图 49】

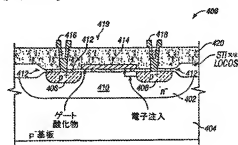


FIG. 49

【例 50】

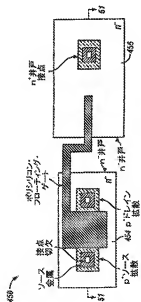


Fig. 39

【图 5-1】

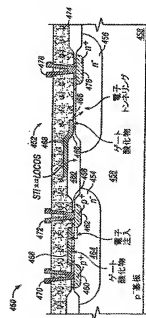


FIG. 8f

【図 5 2】

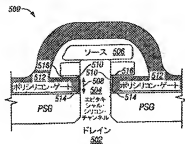


FIG. 52

【図 5 3】

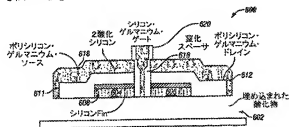


FIG. 53

【手続補正書】

【提出日】平成17年3月18日(2005.3.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

p-型基板、

前記基板の第1のn-型井戸領域内に配置されたp+型ソース領域およびp+型ドレイン領域、

前記ソース領域と前記ドレイン領域の間に配置されたチャンネル、

前記チャンネルに隣接して配置された第1の絶縁体、

前記絶縁体に隣接して配置され、前記絶縁体によって前記チャンネルから電気的に絶縁されたフローティング・ゲート、および、

n型トンネリング領域であって、前記フローティング・ゲートが、少なくとも当該トンネリング領域の一部分を越えて延び、第2の絶縁体によってそこから電気的に絶縁され、当該トンネリング領域が、前記基板の第2の井戸領域内に配置される、n型トンネリング領域、

を備えるフローティング・ゲート半導体素子。

【請求項2】

前記第2の井戸領域が、n-型井戸領域である、請求項1に記載の素子。

【請求項3】

前記第1の井戸領域および前記第2の井戸領域が、チャンネル・ブロックによって互い

に分離される、請求項 2 に記載の素子。

【請求項 4】

前記第 2 の井戸領域が、 n ＋ドープされた領域であり、次に、この n ＋ドープされた領域が、前記基板の n －型井戸領域内に配置される、請求項 1 に記載の素子。

【請求項 5】

前記ドレイン領域に電氣的にカップルされた第 1 の電氣的接点、
前記ソース領域に電氣的にカップルされた第 2 の電氣的接点、および、
前記トンネリング領域に電氣的にカップルされた第 3 の電氣的接点、
を更に備える、請求項 3 に記載の素子。

【請求項 6】

前記チャンネル・ブロックが、蒸着されたシリコン酸化物を備える、請求項 5 に記載の素子。

【請求項 7】

前記チャンネル・ブロックが、熱的に成長したシリコン酸化物を備える、請求項 5 に記載の素子。

【請求項 8】

前記フローティング・ゲートが、ポリシリコンを備える、請求項 5 に記載の素子。

【請求項 9】

前記フローティング・ゲートから絶縁された電導性の層を更に備える、請求項 8 に記載のフローティング・ゲート素子。

【請求項 10】

前記電導性の層が金属を含む、請求項 9 に記載のフローティング・ゲート素子。

【請求項 11】

前記電導性の層が多結晶シリコンを含む、請求項 9 に記載のフローティング・ゲート。

【請求項 12】

前記フローティング・ゲートが金属を含む、請求項 5 に記載のフローティング・ゲート素子。

【請求項 13】

フローティング・ゲート素子であって、
基板、
前記基板に配置された n －井戸、
前記 n －井戸に配置された第 1 の p ＋領域、
前記 n －井戸に配置された第 2 の p ＋領域、
多結晶シリコンで形成されたフローティング・ゲートであって、当該素子が、多結晶シリコンの単一層のみを含む、フローティング・ゲート、
前記第 1 の p ＋領域にカップルされた第 1 の電氣的接点、
前記第 2 の p ＋領域にカップルされた第 2 の電氣的接点、および、
 n －井戸に配置された n ＋領域で実現される (implemented with) トンネリング接合、
を備えるフローティング・ゲート素子。

【請求項 14】

前記 n ＋領域が、第 1 のおよび第 2 の p ＋領域と同じ n －井戸内に配置される、請求項 13 に記載のフローティング・ゲート素子。

【請求項 15】

前記 n ＋領域が、 n －井戸内に前記第 1 の領域および前記第 2 の p ＋領域が配置される当該 n －井戸とは種類が異なる n －井戸内に配置される、請求項 13 に記載のフローティング・ゲート素子。

【請求項 16】

前記トンネリング接合が、ショートされた n F E T で実現される、請求項 13 に記載のフローティング・ゲート素子。

【請求項 17】

前記トンネリング接合が、ショートされた p F E T で実現される、請求項 13 に記載のフローティング・ゲート素子。

【請求項 18】

前記フローティング・ゲートが、M O S C A P にカップルされる、請求項 13 に記載のフローティング・ゲート素子。

【請求項 19】

前記トンネリング接合がボウル形状 (bowl shaped) である、請求項 15 に記載のフローティング・ゲート素子。

【請求項 20】

前記トンネリング接合がボウル形状 (bowl shaped) である、請求項 14 に記載のフローティング・ゲート素子。

【請求項 21】

前記フローティング・ゲートが金属を含む、請求項 17 に記載のフローティング・ゲート素子。

【請求項 22】

前記フローティング・ゲートが多結晶シリコンを含む、請求項 17 に記載のフローティング・ゲート素子。

【請求項 23】

前記フローティング・ゲートから絶縁された電導性の層を更に備える、請求項 21 に記載のフローティング・ゲート素子。

【請求項 24】

前記電導性の層が金属を含む、請求項 23 に記載のフローティング・ゲート素子。

【請求項 25】

前記電導性の層が多結晶シリコンを含む、請求項 23 に記載のフローティング・ゲート素子。

【請求項 26】

半導体基板、
前記基板に配置された n-領域、
前記 n-領域に配置された第 1 の p+領域、
前記 n-領域に配置された第 2 の p+領域、
多結晶シリコンで形成されたフローティング・ゲートであって、当該素子が、単一の層の多結晶シリコンのみを含むフローティング・ゲート、
前記第 1 の p+領域にカップルされた第 1 の電気的接点、
前記第 2 の p+領域にカップルされた第 2 の電気的接点、および、
n-領域に配置された n+領域で実現されるトンネリング接合、
を備えるフローティング・ゲート素子。

【請求項 27】

前記 n+領域が、前記第 1 のおよび第 2 の p+領域と同じ n-領域に配置される、請求項 26 に記載のフローティング・ゲート素子。

【請求項 28】

前記 n+領域が、n-領域の中に前記第 1 のおよび第 2 の p+領域が配置される当該 n-領域とは種類が異なる n-領域に配置される、請求項 26 に記載のフローティング・ゲート素子。

【請求項 29】

前記トンネリング接合が、ショートされた n F E T で実現される、請求項 26 に記載のフローティング・ゲート素子。

【請求項 30】

前記トンネリング接合が、ショートされた p F E T で実現される、請求項 26 に記載のフローティング・ゲート素子。

【請求項 31】

前記フローティング・ゲートがMOSC A Pにカップルされた、請求項26に記載のフローティング・ゲート素子。

【請求項32】

前記トンネリング接合がボウル形状 (bowl shaped) である、請求項27に記載のフローティング・ゲート素子。

【請求項33】

前記トンネリング接合がボウル形状 (bowl shaped) である、請求項28に記載のフローティング・ゲート素子。

【請求項34】

前記フローティング・ゲートがポリシリコンの第2の層を備える、請求項26に記載のフローティング・ゲート素子。

【請求項35】

基板、

第1の距離だけ前記基板より上の平面に配置されたp型ソース領域、

第2の距離だけ前記基板より上の平面に配置されたp型ドレイン領域であって、当該第2の距離が前記第1の距離とは異なる、p型ドレイン領域、

前記ソース領域と前記ドレイン領域の間で垂直に配置されたチャンネル、

前記チャンネルを包囲する絶縁体、および、

前記絶縁体に隣接して配置され、前記絶縁体によって前記チャンネルから電気的に絶縁されるフローティング・ゲートであって、前記基板に平行な平面に配置されたフローティング・ゲート、

を備えるフローティング・ゲート半導体素子。

【請求項36】

前記ドレイン領域および前記ソース領域が、蒸着膜 (deposited films) で形成される、請求項35に記載の素子。

【請求項37】

前記チャンネルがp型のエピタキシャルに成長したシリコンを備える、請求項36に記載の素子。

【請求項38】

前記p型ソース領域およびp型ドレイン領域がp+ドーピングされた、請求項37に記載の素子。

【請求項39】

前記フローティング・ゲートが、再結晶化された、蒸着されたn型アモルファス・シリコンの層を備える、請求項38に記載の素子。

【請求項40】

前記フローティング・ゲートが、再結晶化された、蒸着されたp型アモルファス・シリコンの層を備える、請求項38に記載の素子。

【請求項41】

前記ドレイン領域に電気的にカップルされる第1の電気的接点、および、前記ソース領域に電気的にカップルされる第2の電気的接点、を更に備える、請求項35に記載の素子。

【請求項42】

電流を供給するための手段、

電流を排出するための手段、

前記供給手段と前期排出手段の間で電流をチャネリングするための手段、

前記チャネリング手段から、電荷を格納するための手段に、熱電子を制御可能に注入するための第1の手段、および、

前記電荷を格納するための手段から電子を制御可能に転送するための第2の手段、を備えるフローティング・ゲート素子。

【請求項43】

前記第2の手段がトンネリング接合を備える、請求項42に記載のフローティング・ゲート素子。

【請求項44】

前記第2の手段が、光子抹消 (photonic erasure) を含む、請求項42に記載のフローティング・ゲート素子。

【請求項45】

前記トンネリング接合が、ショートされたnFETで実現される、請求項43に記載のフローティング・ゲート素子。

【請求項46】

前記トンネリング接合が、ショートされたpFETで実現される、請求項43に記載のフローティング・ゲート素子。

【請求項47】

前記トンネリング接合が、n-井戸に配置されたn+領域で実現される、請求項43に記載のフローティング・ゲート素子。

【請求項48】

制御キャパシタを更に備える、請求項42に記載のフローティング・ゲート素子。

【請求項49】

前記制御キャパシタが、一緒にショートされたドレイン、ソース、および井戸接続を有するpFETを備える、請求項48に記載のフローティング・ゲート素子。

【請求項50】

電子をフローティング・ゲートの上に注入するための第1の手段であって、当該第1の手段がpFETを含む第1の手段、および、

前記フローティング・ゲートから電子をトンネリングするための第2の手段、を備えるフローティング・ゲート素子。

【請求項51】

前記第2の手段が、n-井戸に配置されたn+領域を備える、請求項50に記載のフローティング・ゲート素子。

【請求項52】

前記n+領域および前記pFETが、第1のn-井戸内に配置された、請求項51に記載のフローティング・ゲート素子。

【請求項53】

前記n+領域および前記pFETがそれぞれ、第1のn-井戸および第2のn-井戸内に配置された、請求項51に記載のフローティング・ゲート素子。

【請求項54】

前記第2の手段が、ショートされたnFETを備える、請求項50に記載のフローティング・ゲート素子。

【請求項55】

前記第2の手段が、ショートされたpFETを備える、請求項50に記載のフローティング・ゲート素子。

【請求項56】

前記フローティング・ゲートにキャパシタンスを提供するための第3の手段、を更に含む、請求項50に記載のフローティング・ゲート素子。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Publication No.
PCT/US 03/21677

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/788

According to International Patent Classification (IPC) or to both national classification and IPC

B. RELEVANT SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 898 613 A (MEAD CARVER A ET AL) 27 April 1999 (1999-04-27) cited in the application the whole document	1-8, 16-30, 47-50, 54, 56-59, 63, 65-73, 77-79

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex

* Special categories of cited documents:

"1" document defining the general state of the art which is not considered to be of particular relevance

"2" earlier document but published on or after the international filing date

"3" document which may have priority claims (or which is itself in relation to the publication date of another document) or other special interest (see specification)

"4" documents referring to an oral disclosure, use, exhibition or other manner

"5" document published prior to the international filing date but later than the priority date claimed

"1" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"2" document of particular relevance the claimed invention cannot be considered novel or cannot be considered to be prior art in view of the document is listed above

"3" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other prior art documents, such combination being obvious to a person skilled in the art

"4" document member of the same patent family

Date of the actual completion of the international search

17 November 2003

Date of mailing of the international search report

02/12/2003

Name and mailing address of the ISA

European Patent Office, P.O. Box 5010 Patentean 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 940-2000, Fax (+31-70) 940-2001
Fax (+31-70) 940-2002

Authorized officer

Baillet, B

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 03/21677

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Reference to claim No.
X	US 5 761 121 A (CHANG SHANG-DE TED) 2 June 1998 (1998-06-02) the whole document	1-8, 16-20, 29, 30, 37-40, 44, 57-59, 65-67, 71-73, 77
X	EP 0 562 257 A (IBM) 29 September 1993 (1993-09-29) abstract; figure 2A page 5, line 58 -page 6, line 2	9, 10, 12, 15
X	US 4 816 883 A (BALDI LIVIO) 28 March 1989 (1989-03-28) the whole document	1-4
A	WO 00 60672 A (KONINKL PHILIPS ELECTRONICS NV) 12 October 2000 (2000-10-12) the whole document	32, 33, 42, 43, 52, 53, 61, 62, 75, 76

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 03/21677

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5898613	A	27-04-1999	US 5825063 A	20-10-1998
			US 5875126 A	23-02-1999
			US 5990512 A	23-11-1999
			US 2003206437 A1	06-11-2003
			US 6144581 A	07-11-2000
			US 6125053 A	26-09-2000
			US 6452835 B1	17-09-2002
			US 5914894 A	22-06-1999
			US 5986927 A	16-11-1999
US 5761121	A	02-06-1998	AT 396036 T	15-09-2000
			DE 69610062 D1	05-10-2000
			DE 69610062 T2	03-05-2001
			DE 776049 T1	05-03-1998
			EP 0776049 A1	28-05-1997
			JP 2951605 B2	20-09-1999
			JP 10070203 A	10-03-1998
			EP 0562257	A
EP 0562257 A1	29-09-1993			
JP 2680239 B2	19-11-1997			
JP 6005824 A	14-01-1994			
US 5468663 A	21-11-1995			
US 5617351 A	01-04-1997			
US 4816883	A	28-03-1989	IT 1201834 B	02-02-1989
			EP 3785509 D1	27-05-1993
			DE 3785509 T2	29-07-1993
			EP 0255489 A2	03-02-1988
			JP 63029980 A	08-02-1988
WO 0060672	A	12-10-2000	WO 0060672 A1	12-10-2000
			EP 1088348 A1	04-04-2001
			JP 2002541669 T	03-12-2002
			TW 474019 B	21-01-2002
			US 2002089010 A1	11-07-2002

From PCT/US03/21677 (patent family member) (July 1999)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BC,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU, ID, IL, IN, IS, JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ディオリオ クリストファー ジェイ

アメリカ合衆国 ワシントン州 98177 ショアライン ノースウェスト フィフティーンズ
ストリート 17001 インピンジ インコーポレイテッド内

(72)発明者 ヒュームズ トッド イー

アメリカ合衆国 ワシントン州 98177 ショアライン ノースウェスト トゥーハンドレッ
ドス ストリート 817 インピンジ インコーポレイテッド内

Fターム(参考) 5F083 EP13 EP22 EP72 ER02 ER14 ER18 ER20 ER25 GA11 HAO2

JA31 JA33 NAO1 PR25

5F101 BA02 BA17 BB02 BB12 BC20 BD16 BD30 BD35 BD36 BE02

BE05 BE07 BE08 BG01 BH11

【要約の続き】

。